Docket No. 243649US2S

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuki YAMADA, et al. GAU:

SERIAL NO: New Application EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE HAVING A FERROELECTRIC CAPACITOR AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: **Application No.** **Date Filed**

■ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	**APPLICATION NUMBER**	**MONTH/DAY/YEAR**
Japan	2003-202536	July 28, 2003

Certified copies of the corresponding Convention Application(s)

- ■ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
  Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0251350

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００３年　７月２８日
出願番号 Application Number:	特願２００３－２０２５３６
[ST. 10/C] :	［ＪＰ２００３－２０２５３６］
出願人 Applicant(s):	株式会社東芝

２００３年　８月１９日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号　出証特２００３－３０６７６２６

【書類名】　特許願
【整理番号】　A000205544
【提出日】　平成15年 7月28日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/00
【発明の名称】　半導体記憶装置及びその製造方法
【請求項の数】　20
【発明者】
　【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
　【氏名】　山田　有紀
【発明者】
　【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
　【氏名】　首藤　晋
【特許出願人】
　【識別番号】　000003078
　【氏名又は名称】　株式会社　東芝
【代理人】
　【識別番号】　100058479
　【弁理士】
　【氏名又は名称】　鈴江　武彦
　【電話番号】　03-3502-3181
【選任した代理人】
　【識別番号】　100091351
　【弁理士】
　【氏名又は名称】　河野　哲

【選任した代理人】
　　【識別番号】　100088683
　　【弁理士】
　　【氏名又は名称】　中村　誠
【選任した代理人】
　　【識別番号】　100108855
　　【弁理士】
　　【氏名又は名称】　蔵田　昌俊
【選任した代理人】
　　【識別番号】　100084618
　　【弁理士】
　　【氏名又は名称】　村松　貞男
【選任した代理人】
　　【識別番号】　100092196
　　【弁理士】
　　【氏名又は名称】　橋本　良郎
【手数料の表示】
　　【予納台帳番号】　011567
　　【納付金額】　21,000円
【提出物件の目録】
　　【物件名】　明細書　1
　　【物件名】　図面　1
　　【物件名】　要約書　1
【プルーフの要否】　要

【書類名】　明細書
【発明の名称】　半導体記憶装置及びその製造方法
【特許請求の範囲】
【請求項１】　半導体基板と、
前記半導体基板上に形成され、ゲート電極と第１及び第２の拡散層とを有するトランジスタと、
前記トランジスタ上に形成された第１の絶縁膜と、
前記第１の絶縁膜内に形成され、複数の配線層及び複数のコンタクトを含む第１の多層配線層部と、
前記第１の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて形成され、前記ゲート電極と少なくとも一部が重なるように設けられた第１の凹部と、
前記第１の凹部内に３次元的に形成され、第１及び第２の電極と強誘電体膜とを有し、前記第１の電極が前記第１の拡散層と電気的に接続された強誘電体キャパシタと
を具備することを特徴とする半導体記憶装置。
【請求項２】　前記第１の電極は、前記第１の多層配線層部を介して、前記第１の拡散層と電気的に接続されていることを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】　前記第１の絶縁膜内に形成され、前記第２の拡散層と電気的に接続され、複数の配線層及び複数のコンタクトを含む第２の多層配線層部と、
前記第２の多層配線層部と電気的に接続され、前記強誘電体キャパシタの上方に配置されたビット線と
をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。
【請求項４】　前記第１の凹部のアスペクト比は１であることを特徴とする請求項１に記載の半導体記憶装置。
【請求項５】　前記第１の凹部のアスペクト比は４乃至５であることを特徴とする請求項１に記載の半導体記憶装置。
【請求項６】　前記トランジスタ及び前記強誘電体キャパシタを含むメモリ

セル部の周辺に配置された周辺回路部は、

前記第１の絶縁膜内に前記第１の多層配線層部と同一面上に形成され、複数の配線層及び複数のコンタクトを含む第２の多層配線層部を具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項７】　前記第１の凹部の底面下に形成され、ストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する第２の絶縁膜

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項８】　前記第２の拡散層と電気的に接続された第１のコンタクトと、

前記第１のコンタクトと電気的に接続され、前記強誘電体キャパシタの下方に配置されたビット線と

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項９】　前記強誘電体キャパシタの側面、底面及び上面の少なくとも一部を覆うように形成された単層又は複数層の水素バリア膜

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項１０】　前記水素バリア膜は、前記強誘電体キャパシタの前記側面及び前記底面に形成された第１の部分と、前記強誘電体キャパシタの前記上面に形成された第２の部分とを有し、

前記第１の部分は、導電性又は絶縁性の材料で形成され、前記第２の部分は絶縁性の材料で形成されていることを特徴とする請求項９に記載の半導体記憶装置。

【請求項１１】　前記第１の凹部内の前記第１の電極下及び前記第１の絶縁膜上に連続して形成された単層又は複数層の酸素バリア膜

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項１２】　前記第１の凹部の側面、底面及び前記第１の絶縁膜上に形成された単層又は複数層の酸素バリア膜と、

前記酸素バリア膜と前記第１の電極との間及び前記強誘電体キャパシタの上面の少なくとも一部を覆うように形成された単層又は複数層の水素バリア膜と

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項１３】　前記第１の電極は、前記第１の多層配線層部の最上層配線に、単層又は複数層の反応防止導電膜を介して、接触していることを特徴とする請求項１に記載の半導体記憶装置。

【請求項１４】　前記最上層配線と前記第１の電極との接触面は、平坦面又は凹凸面であることを特徴とする請求項１３に記載の半導体記憶装置。

【請求項１５】　前記第１の拡散層上でかつ前記強誘電体キャパシタ下に形成され、前記第１の拡散層と前記第１の電極とに接続された第１のコンタクトと

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項１６】　前記第１の電極の一部からなるコンタクト部分が、前記第１の拡散層に電気的に接続されていることを特徴とする請求項１に記載の半導体記憶装置。

【請求項１７】　前記第１の電極の一部からなるコンタクト部分が、単層又は複数層の反応防止導電膜を介して、前記第１の拡散層に電気的に接続されていることを特徴とする請求項１に記載の半導体記憶装置。

【請求項１８】　少なくとも前記第１の凹部の側面及び底面上に形成された単層又は複数層の酸素バリア膜と、

前記酸素バリア膜と前記第１の電極との間及び前記強誘電体キャパシタの上面の少なくとも一部を覆うように形成された単層又は複数層の水素バリア膜と、

前記第１の拡散層上でかつ前記強誘電体キャパシタ下に形成され、前記第１の拡散層と前記酸素バリア膜とに接続された第１のコンタクトと

をさらに具備することを特徴とする請求項１に記載の半導体記憶装置。

【請求項１９】　半導体基板と、

前記半導体基板上に形成され、第１のゲート電極と第１及び第２の拡散層とを有する第１のトランジスタと、

前記半導体基板上に形成され、第２のゲート電極と前記第２の拡散層と第３の拡散層とを有する第２のトランジスタと、

前記第１及び第２のトランジスタ上に形成された第１の絶縁膜と、

前記第１の絶縁膜内に形成され、複数の配線層及び複数のコンタクトを含む第１乃至第３の多層配線層部と、

前記第１乃至第３の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて形成され、前記第１のゲート電極と少なくとも一部が重なるように設けられた第１の凹部と、

前記第１乃至第３の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて形成され、前記第２のゲート電極と少なくとも一部が重なるように設けられた第２の凹部と、

前記第１の凹部内に３次元的に形成され、第１及び第２の電極と第１の強誘電体膜とを有し、前記第１の電極が前記第１の多層配線層部を介して前記第１の拡散層と電気的に接続された第１の強誘電体キャパシタと、

前記第２の凹部内に３次元的に形成され、第３及び第４の電極と第２の強誘電体膜とを有し、前記第３の電極が前記第３の多層配線層部を介して前記第３の拡散層と電気的に接続され、前記第２及び第４の電極が前記第２の多層配線層部を介して前記第２の拡散層と電気的に接続された第２の強誘電体キャパシタと

を具備することを特徴とする半導体記憶装置。

【請求項２０】　半導体基板上に、ゲート電極と第１及び第２の拡散層とを有するトランジスタを形成する工程と、

前記トランジスタ上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜内に、複数の配線層及び複数のコンタクトを含む第１の多層配線層部を形成する工程と、

前記第１の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて、前記ゲート電極と少なくとも一部が重なる位置に第１の凹部を形成する工程と、

前記第１の凹部内に第１の電極、強誘電体膜及び第２の電極を順に形成する工程と、

前記第１の電極、前記強誘電体膜及び前記第２の電極をパターニングし、前記第１の凹部内に３次元強誘電体キャパシタを形成する工程と

を具備することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、強誘電体キャパシタを有する半導体記憶装置及びその製造方法に関する。

【０００２】

【従来の技術】

近年、半導体メモリとして、強誘電体キャパシタを有する強誘電体メモリや、高誘電体キャパシタを有するダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）などが開発されている。これら強誘電体メモリやＤＲＡＭのメモリセルは、選択トランジスタと、この選択トランジスタに接続された記憶素子として機能するキャパシタとを具備している（例えば、特許文献１参照）。

【０００３】

このような従来技術において、例えば、周辺回路部及びメモリセル部の多層配線が形成された後にメモリセル部のキャパシタが形成されることで、最上層部にキャパシタが形成される場合がある。この場合、キャパシタによって多層配線の形成が妨げられず、かつ、キャパシタの劣化を抑制できるという利点を有する。

【０００４】

一方、キャパシタが先に形成された後に多層配線が形成されることで、下層部にキャパシタが形成される場合もある。この場合、上記と同様にキャパシタによって多層配線の形成が妨げられず、かつ、キャパシタの形成時に熱工程の制約を受けないという利点を有する。

【０００５】

しかし、これらの利点は、キャパシタが２次元的な構造をとり、キャパシタ自身の高さがそれほど大きくない場合に得られるものである。尚、２次元的な構造のキャパシタ（以下、２次元キャパシタと称す）とは、キャパシタを構成する電極層等が、ＸＹ方向にのみ平面的に延在し、立体的なＺ方向には延在しない構造のキャパシタのことをいう。

【０００６】

【特許文献１】

特開平11-317500号公報

【０００７】

【発明が解決しようとする課題】

このような強誘電体メモリやＤＲＡＭにおいて、高集積化を実現するためには、３次元的な構造のキャパシタと多層配線との組み合わせ技術が必要となる。尚、３次元的な構造のキャパシタ（以下、３次元キャパシタと称す）とは、キャパシタを構成する電極層等が、ＸＹ方向に平面的に延在するだけでなく、Ｚ方向にも立体的に延在する構造のキャパシタのことをいう。

【０００８】

しかしながら、３次元キャパシタの場合、上述する従来技術の構造をそのまま適用してキャパシタと多層配線とを異なるレイヤーに形成すると、３次元キャパシタは２次元キャパシタと比べて高さがあるため、セルが拡大するという問題が生じてしまう。

【０００９】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、３次元キャパシタを用いた場合のセルの拡大を抑制することが可能な半導体記憶装置及びその製造方法を提供することにある。

【００１０】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【００１１】

本発明の第１の視点による半導体記憶装置は、半導体基板と、前記半導体基板上に形成され、ゲート電極と第１及び第２の拡散層とを有するトランジスタと、前記トランジスタ上に形成された第１の絶縁膜と、前記第１の絶縁膜内に形成され、複数の配線層及び複数のコンタクトを含む第１の多層配線層部と、前記第１の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて形成され、前記ゲート電極と少なくとも一部が重なるように設けられた第１の凹部と、前記第１の凹部内に３次元的に形成され、第１及び第２の電極と強誘電体膜とを有し、前記第１の電極が前記第１の拡散層と電気的に接続された強誘電体キャパシタとを具備する。

【００１２】

本発明の第２の視点による半導体記憶装置の製造方法は、半導体基板上に、ゲート電極と第１及び第２の拡散層とを有するトランジスタを形成する工程と、前記トランジスタ上に第１の絶縁膜を形成する工程と、前記第１の絶縁膜内に、複数の配線層及び複数のコンタクトを含む第１の多層配線層部を形成する工程と、前記第１の多層配線層部内の少なくとも２層の配線層を含む前記第１の絶縁膜内を垂直方向に連続的に貫いて、前記ゲート電極と少なくとも一部が重なる位置に第１の凹部を形成する工程と、前記第１の凹部内に第１の電極、強誘電体膜及び第２の電極を順に形成する工程と、前記第１の電極、前記強誘電体膜及び前記第２の電極をパターニングし、前記第１の凹部内に３次元強誘電体キャパシタを形成する工程とを具備する。

【００１３】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【００１４】

尚、各実施形態では、本発明を強誘電体メモリに適用した場合について述べるが、本発明は高誘電体キャパシタを有するダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）に適用することも可能である。

【００１５】

［１］第１の実施形態

第１の実施形態は、各実施形態の基本となる構造を示し、３次元的な構造の強誘電体キャパシタ（以下、３次元強誘電体キャパシタと称す）をメモリセルトランジスタの上方に配置させ、かつ、３次元強誘電体キャパシタと多層配線とを同じ絶縁膜内に形成することで、３次元強誘電体キャパシタを用いた場合のセルの拡大を抑制するものである。

【００１６】

尚、３次元強誘電体キャパシタとは、強誘電体キャパシタを構成する上部電極、下部電極及び強誘電体膜が、ＸＹ方向に平面的に延在するだけでなく、Ｚ方向

にも立体的に延在する構造のキャパシタのことをいう。

【００１７】

［１－１］基本例

図１は、本発明の第１の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第１の実施形態に係る基本例の構造について説明する。

【００１８】

図１に示すように、第１の実施形態に係るメモリセル部は、メモリセルトランジスタ１６と、このトランジスタ１６の上方に配置された３次元強誘電体キャパシタ２７と、多層配線層部２２ａ，２２ｂとを具備している。そして、トランジスタ１６の一方のソース／ドレイン拡散層１５ａには多層配線層部２２ａを介して強誘電体キャパシタ２７の下部電極２４が接続され、他方のソース／ドレイン拡散層１５ｂには多層配線層部２２ｂを介してビット線３３が接続されている。このようなメモリセル部は、具体的には以下のような構造になっている。

【００１９】

半導体基板１１上にゲート電極１４が形成され、このゲート電極１４を挟んでソース／ドレイン拡散層１５ａ，１５ｂが半導体基板１１内に形成されている。これにより、メモリセルトランジスタ１６が形成されている。

【００２０】

トランジスタ１６上には層間絶縁膜１７が形成され、この層間絶縁膜１７内にはコンタクト２０ａ，２０ｂが形成されている。ここで、コンタクト２０ａはソース／ドレイン拡散層１５ａに接続され、コンタクト２０ｂはソース／ドレイン拡散層１５ｂに接続されている。

【００２１】

層間絶縁膜１７及びコンタクト２０ａ，２０ｂ上には層間絶縁膜２１が形成され、この層間絶縁膜２１内には複数の配線層及び複数のコンタクトを含む多層配線層部２２ａ，２２ｂが形成されている。ここで、多層配線層部２２ａはコンタクト２０ａに接続され、多層配線層部２２ｂはコンタクト２０ｂに接続されている。

【００２２】

層間絶縁膜２１内には凹部２３が形成され、この凹部２３は多層配線層部２２ａ，２２ｂを含む層間絶縁膜２１の領域を垂直方向に連続的に貫いている。そして、この凹部２３はトランジスタ１６のゲート電極１４の上方に位置しており、凹部２３とゲート電極１４とは重なり合っている。

【００２３】

凹部２３内には３次元強誘電体キャパシタ２７が形成されている。この強誘電体キャパシタ２７は、上部電極２６と、下部電極２４と、これら上部及び下部電極２６，２４間の強誘電体膜２５とを有している。

【００２４】

強誘電体キャパシタ２７及び多層配線層部２２ａ，２２ｂ上には層間絶縁膜２８が形成され、この層間絶縁膜２８内にはコンタクト２９ａ，２９ｂ，２９ｃ，２９ｄ及び配線３０ａ，３０ｂ，３０ｃが形成されている。これにより、強誘電体キャパシタ２７の下部電極２４は、コンタクト２９ｂ→配線３０ａ→コンタクト２９ａ→多層配線層部２２ａ→コンタクト２０ａを介して、ソース／ドレイン拡散層１５ａに電気的に接続されている。また、強誘電体キャパシタ２７の上部電極２６は、コンタクト２９ｃを介して、プレート配線３０ｂに電気的に接続されている。

【００２５】

配線３０ａ，３０ｂ，３０ｃ及び層間絶縁膜２８上に層間絶縁膜３１が形成され、この層間絶縁膜３１内にコンタクト３２が形成され、これらコンタクト３２及び層間絶縁膜３１上にビット線３３が形成されている。このようにキャパシタ２７の上方に配置されたビット線３３は、コンタクト３２→配線３０ｃ→コンタクト２９ｄ→多層配線層部２２ｂ→コンタクト２０ｂを介して、ソース／ドレイン拡散層１５ｂに電気的に接続されている。

【００２６】

尚、凹部２３は、多層配線層部２２ａ，２２ｂ内の全ての配線層の存在する領域を貫く深さであることに限定されず、多層配線層部２２ａ，２２ｂ内の少なくとも２層以上の配線層の存在する領域を貫く程度の深さでもよく、３次元キャパシタが形成できる程度の深さがあればよい。

【００２７】
また、凹部２３は、ゲート電極１４の真上に位置してもよいし、ゲート電極１４の少なくとも一部が重なる程度の位置であってもよい。

【００２８】
また、凹部２３のアスペクト比は、スパッタ法でＰＺＴからなる強誘電体膜２５を形成する場合は例えば１程度であり、ＣＶＤ（Chemical Vapor Deposition）法でＰＺＴからなる強誘電体膜２５を形成する場合は例えば４乃至５程度である。ここで、キャパシタ２７を構成する膜のうちＰＺＴからなる強誘電体膜２５を基準としたのは、ＰＺＴからなる強誘電体膜２５はキャパシタ２７を構成する膜の中で最も埋め込み難いからである。尚、凹部２３のアスペクト比は、基準とする膜の材料を変更することで種々の値を取り得る。

【００２９】
第１の実施形態に係る周辺回路部は、層間絶縁膜２１，２８内に、多層配線層部２２ｄ、コンタクト２９ｈ及び配線３０ｅが形成されている。ここで、多層配線層部２２ｄ、コンタクト２９ｈ及び配線３０ｅは、メモリセル部の多層配線層部２２ａ，２２ｂ、コンタクト２９ａ，２９ｄ及び配線３０ａ，３０ｂ，３０ｃと同材料で同一面上にそれぞれ形成されている。また、多層配線層部２２ｄの各配線層は、コンタクト（図示せず）により接続されていてもよい。

【００３０】
図２乃至図７は、本発明の第１の実施形態に係る基本例の半導体記憶装置の製造工程の断面図を示す。以下に、第１の実施形態に係る基本例の製造方法について説明する。

【００３１】
まず、図２に示すように、半導体基板１１内に、素子領域を分離するための素子分離領域１２が形成される。そして、半導体基板１１の素子領域上にゲート絶縁膜１３を介してゲート電極１４が形成され、素子領域１２内にソース／ドレイン拡散層１５ａ，１５ｂが形成される。これにより、メモリセルトランジスタ１６が形成される。

【００３２】

次に、ＬＰ－ＣＶＤ（Low Pressure-Chemical Vapor Deposition）法やＰ－ＣＶＤ法等により、トランジスタ１６上に第１の層間絶縁膜１７が形成される。そして、ＣＭＰ（Chemical Mechanical Polish）法等を用いて、第１の層間絶縁膜１７の表面が平坦化される。ここで、第１の層間絶縁膜１７は、例えば、ＢＰＳＧ（Boron Phosphorous Silicate Glass）、ＬＰ－ＴＥＯＳ（Tetra Ethyl Ortho Silicate）、ＤＴＥＯＳ（Densified Tetra Ethyl Ortho Silicate）等の材料からなる。

【００３３】

次に、第１の層間絶縁膜１７内に、ソース／ドレイン拡散層１５ａ，１５ｂにそれぞれ接続するコンタクト２０ａ，２０ｂが形成される。このコンタクト２０ａ，２０ｂは、例えばW，Ｐｏｌｙ－Ｓｉ等の材料からなる。尚、コンタクト２０ａ，２０ｂのホールをコンタクト材で埋め込む前に、例えばＴｉ，ＴｉＮ等からなるバリアメタル層を形成してもよい。この場合、半導体基板１１上のソース／ドレイン拡散層１５ａ，１５ｂとコンタクト２０ａ，２０ｂとの反応を抑制でき、コンタクト２０ａ，２０ｂの最適化を図ることができる。

【００３４】

次に、図３に示すように、第２の層間絶縁膜２１内に多層配線層部２２ａ，２２ｂ，２２ｄがメモリセル部及び周辺回路部にそれぞれ形成される。ここで、第２の層間絶縁膜２１は、ＢＰＳＧ、ＬＰ－ＴＥＯＳ、ＤＴＥＯＳ等の材料からなる。また、多層配線層部２２ａ，２２ｂ，２２ｄは、例えばW、Ｃｕ、Ａｌ等の材料からなる。

【００３５】

ここで、多層配線層部２２ａ，２２ｂ，２２ｄの各配線層は、次のような方法で形成される。例えば、ダマシン法を用いる場合は、絶縁膜内に溝を形成し、この溝内に配線材を埋め込んだ後、この配線材の表面を平坦化することでダマシン構造の配線層が形成できる。また、ＲＩＥ（Reactive Ion Etching）法を用いる場合は、配線材を全面に形成した後、この配線材をＲＩＥにより所望の形状にパターニングすることで配線層を形成できる。

【００３６】

次に、図４に示すように、ＲＩＥ等を用いて第２の層間絶縁膜２１が選択的にエッチングされ、凹部２３が形成される。この凹部２３は、少なくともゲート電極１４の上方にかかるように形成される。

【００３７】

次に、図５に示すように、ＣＶＤ法やスパッタ法により、凹部２３内及び第２の層間絶縁膜２１上に、下部電極２４、強誘電体膜２５、上部電極２６が順に堆積される。下部電極２４及び上部電極２６の材料としては、例えばＰｔ、Ｉｒ、$ＩｒＯ_2$、ＳＲＯ等が用いられ、また、強誘電体膜２５の材料としては、例えばＰＺＴ、ＳＢＴ等が用いられる。

【００３８】

次に、図６に示すように、ＣＭＰ法、ＲＩＥ等を用いて、下部電極２４、強誘電体膜２５、上部電極２６がパターニングされ、強誘電体キャパシタ２７が形成される。

【００３９】

次に、図７に示すように、第３の層間絶縁膜２８が堆積される。次に、ダマシン法やＲＩＥを用いて、第３の層間絶縁膜２８内にコンタクト２９ａ，２９ｂ，２９ｃ，２９ｄ，２９ｈ及び配線３０ａ，３０ｂ，３０ｃ，３０ｅが形成される。

【００４０】

次に、図１に示すように、第４の層間絶縁膜３１が形成され、この第４の層間絶縁膜３１内に配線３０ｃに接続するコンタクト３２が形成される。その後、コンタクト３２及び第４の層間絶縁膜３１上にビット線３３が形成される。このようにして、第１の実施形態に係る基本例の構造が形成される。

【００４１】

上記第１の実施形態の基本例によれば、３次元強誘電体キャパシタ２７をメモリセルトランジスタ１６の上方に配置させることで、基板に平行方向のセルの幅を縮小し、３次元強誘電体キャパシタ２７と多層配線とを同じレイヤーに形成することで、基板に垂直方向のセルの高さを縮小している。これにより、３次元強誘電体キャパシタ２７を用いた場合のセルの拡大を抑制することができる。

【００４２】

また、従来のプロセスを用いる場合、２次元キャパシタよりも高さがある３次元キャパシタ２７を用いることで、下部電極２４とソース／ドレイン拡散層１５ａとを接続するためのコンタクトのアスペクト比は高くなる。しかし、第１の実施形態では、強誘電体キャパシタ２７の下部電極２４とトランジスタ１６のソース／ドレイン拡散層１５ａとを電気的に接続させるために、多層配線層部２２ａを用いている。これにより、配線３０ａとコンタクト２０ａ又はソース／ドレイン拡散層１５ａとを一つのコンタクトで接続させた場合よりも、多層配線層部２２ａの各コンタクトやコンタクト２９ａのアスペクト比は小さく保つことが可能となり、従来の２次元キャパシタと同程度に抑えることができる。従って、メモリセルの高集積化を実現することが可能となる。

【００４３】

同様に、従来のプロセスを用いる場合、２次元キャパシタよりも高さがある３次元キャパシタ２７を用いることで、ビット線３３とソース／ドレイン拡散層１５ｂとを接続するためのコンタクトのアスペクト比は高くなる。しかし、第１の実施形態では、ビット線３３とトランジスタ１６のソース／ドレイン拡散層１５ｂとを電気的に接続させるために、多層配線層部２２ｂを用いている。これにより、ビット線３３とコンタクト２０ｂ又はソース／ドレイン拡散層１５ｂとを一つのコンタクトで接続させた場合よりも、多層配線層部２２ｂの各コンタクトやコンタクト２９ｄ，３２のアスペクト比は小さく保つことが可能となり、従来の２次元キャパシタと同程度に抑えることができる。従って、メモリセルの高集積化を実現することが可能となる。

【００４４】

また、メモリセル部の多層配線層部２２ａ，２２ｂは、周辺回路部の多層配線層部２２ｄと同時に形成することができる。従って、メモリセル部の多層配線層部２２ａ，２２ｂを形成するための新たな工程を追加すること無しに、従来からの周辺回路部の多層配線層部２２ｄの形成工程を利用できる。

【００４５】

また、３次元強誘電体キャパシタ２７と多層配線層部２２ａ，２２ｂとを同じ

レイヤー（絶縁膜２１）に形成することで、コンタクト２９ａ，２９ｄのアスペクト比を従来よりも下げることができる。

【００４６】

［１－２］変形例１

第１の実施形態に係る変形例１は、強誘電体キャパシタ用の凹部を形成する際に、ストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜を、上記第１の実施形態に係る基本例の構造に付加したものである。

【００４７】

図８は、本発明の第１の実施形態に係る変形例１の半導体記憶装置の断面図を示す。以下に、第１の実施形態に係る変形例１について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００４８】

図８に示すように、凹部２３の底面下に、ストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５が形成されている。この保護絶縁膜３５は、層間絶縁膜１７，２１とは異なる材料で形成されることが望ましく、例えば、ＳｉＮ、$Ａｌ_{２}Ｏ_{３}$等のいずれかを含む材料で形成されている。

【００４９】

保護絶縁膜３５は、層間絶縁膜１７が形成された後に、この層間絶縁膜１７上に形成される。そして、保護絶縁膜３５及び層間絶縁膜１７内にコンタクト２０ａ，２０ｂが形成される。次に、層間絶縁膜２１内に多層配線層部２２ａ，２２ｂが形成された後、層間絶縁膜２１内に凹部２３が形成される。この際、保護絶縁膜３５をストッパーとして用いて層間絶縁膜２１を除去する場合には、凹部２３の底面の位置は保護絶縁膜３５によって決定される。

【００５０】

上記第１の実施形態の変形例１によれば、上記第１の実施形態の基本例と同様の効果を得ることができるだけでなく、さらに次のような効果も得ることができる。

【００５１】

第１の実施形態に係る基本例の場合、トランジスタ１６の上方に凹部２３を形成する際、ゲート電極１４へのオーバーエッチングを防ぐために、凹部２３の底面とゲート電極１４の上面との距離をある程度保つ必要がある。そこで、基本例では、この距離はエッチング時間などにより調整されていた。

【００５２】

これに対し、変形例１では、凹部２３の底面とゲート電極１４の上面との距離を、エッチング時間により調整するだけでなく、保護絶縁膜３５によっても調整できる。このため、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【００５３】

［１－３］変形例２

第１の実施形態に係る変形例２は、上記第１の実施形態に係る基本例のビット線をキャパシタの下方に配置させたものである。

【００５４】

図９は、本発明の第１の実施形態に係る変形例２の半導体記憶装置の断面図を示す。以下に、第１の実施形態に係る変形例２について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００５５】

図９に示すように、ビット線１９は第１の層間絶縁膜１７内に形成され、このビット線１９はコンタクト１８を介してトランジスタ１６のソース／ドレイン拡散層１５ｂに接続されている。つまり、ビット線１９は、キャパシタ２７の底面よりも下方に配置されている。ここで、セル面積を縮小するために、ビット線１９は、キャパシタ２７の下方のトランジスタ１６が配置されていない領域を利用して配置するのが望ましい。

【００５６】

上記第１の実施形態の変形例２によれば、上記第１の実施形態の基本例と同様の効果を得ることができるだけでなく、さらに次のような効果も得ることができ

る。

【００５７】

第１の実施形態に係る基本例は、ビット線３３は、キャパシタ２７の最上面よりも上方に配置されていた。この場合、原理的にセルサイズは小さくできるが、多層配線層部２２ａ，２２ｂの存在によってキャパシタ２７を形成できる領域が制限され、キャパシタ２７の合わせずれ等の問題が生じ易い。

【００５８】

これに対し、変形例２は、ビット線１９は、キャパシタ２７の底面よりも下方に配置されている。この場合、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【００５９】

［１－４］変形例３

第１の実施形態に係る変形例３は、上記第１の実施形態に係る基本例を、ＴＣ並列ユニット直列接続型強誘電体メモリに適用したものである。ここで、ＴＣ並列ユニット直列接続型強誘電体メモリとは、メモリセルトランジスタ（Ｔ）のソース／ドレイン間にキャパシタ（Ｃ）の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続したメモリのことをいう。

【００６０】

図１０は、本発明の第１の実施形態に係る変形例３の半導体記憶装置の断面図を示す。以下に、第１の実施形態に係る変形例３について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００６１】

図１０に示すように、第１のトランジスタ１６ａのソース／ドレイン間に第１の３次元強誘電体キャパシタ２７ａの両端がそれぞれ接続された第１のセルが形成され、第２のトランジスタ１６ｂのソース／ドレイン間に第２の３次元強誘電体キャパシタ２７ｂの両端がそれぞれ接続された第２のセルが形成され、これら第１及び第２のセルが直列に接続されたＴＣ並列ユニット直列接続型構造となっている。

【００６２】

ここで、第１のセルにおいて、トランジスタ１６ａの一方のソース／ドレイン拡散層１５ａには、多層配線層部２２ａ、コンタクト２０ａ，２９ａ，２９ｂ及び配線３０ａを介して、３次元強誘電体キャパシタ２７ａの下部電極２４が電気的に接続されている。一方、トランジスタ１６ａの他方のソース／ドレイン拡散層１５ｂには、多層配線層部２２ｂ、コンタクト２０ｂ，２９ｃ，２９ｄ及び配線３０ｂを介して、３次元強誘電体キャパシタ２７ａの上部電極２６が電気的に接続されている。

【００６３】

また、第２のセルにおいて、トランジスタ１６ｂの一方のソース／ドレイン拡散層１５ｃには、多層配線層部２２ｃ、コンタクト２０ｃ，２９ｆ，２９ｇ及び配線３０ｄを介して、３次元強誘電体キャパシタ２７ｂの下部電極２４が電気的に接続されている。一方、トランジスタ１６ｂの他方のソース／ドレイン拡散層１５ｂには、多層配線層部２２ｂ、コンタクト２０ｂ，２９ｄ，２９ｅ及び配線３０ｂを介して、３次元強誘電体キャパシタ２７ｂの上部電極２６が電気的に接続されている。

【００６４】

そして、２つのトランジスタ１６ａ，１６ｂでソース／ドレイン拡散層１５ｂを共有し、ソース／ドレイン拡散層１５ｂとキャパシタ２７ａ，２７ｂの各上部電極２６との接続において、多層配線層部２２ｂ、コンタクト２０ｂ，２９ｄ及び配線３０ｂを共有することで、第１及び第２のセルが直列に接続されている。

【００６５】

上記第１の実施形態の変形例３によれば、上記第１の実施形態の基本例と同様の効果を得ることができるだけでなく、さらに、ＴＣ並列ユニット直列接続型構造にすることで、セル面積の縮小を図ることができる。

【００６６】

［２］第２の実施形態

第２の実施形態は、第１の実施形態の変形例であり、３次元強誘電体キャパシタを水素バリア膜で囲んでいる例である。

【００６７】

［２－１］基本例

図１１は、本発明の第２の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第２の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００６８】

図１１に示すように、第２の実施形態の基本例において、第１の実施形態の基本例と異なる点は、３次元強誘電体キャパシタ２７の底面、側面及び上面に水素バリア膜４０が形成され、この水素バリア膜４０で３次元強誘電体キャパシタ２７を囲み、３次元強誘電体キャパシタ２７と多層配線層部２２ａ，２２ｂ及びトランジスタ１６とを隔てている点である。

【００６９】

ここで、水素バリア膜４０は、強誘電体キャパシタ２７の側面及び底面に設けられた第１の部分４０ａと、強誘電体キャパシタ２７の上面に設けられた第２の部分４０ｂとを有する。

【００７０】

また、水素バリア膜４０は、単層であってもよいし、複数層であってもよく、例えばAl_2O_3、TiO_2、ＳｉＮ等の絶縁性の材料を少なくとも一つを含む膜からなる。尚、水素バリア膜４０の第１の部分４０ａは導電性の材料で形成してもよい。

【００７１】

また、水素バリア膜４０はキャパシタ２７と直接接して形成してあってもよいし、キャパシタ２７と水素バリア膜４０との間に絶縁膜を設けることで水素バリア膜４０及び絶縁膜からなる積層膜でキャパシタ２７を囲んでもよい。

【００７２】

また、水素バリア膜４０は、３次元強誘電体キャパシタ２７を囲むように形成するのが最も望ましいが、３次元強誘電体キャパシタ２７の一部を覆うように形成してあってもよく、例えば、第１の部分４０ａのみに形成したり、第２の部分４０ｂのみに形成したり、キャパシタ２７の底面又は側面のみに形成したりして

もよい。

【００７３】

図１２乃至図１４は、本発明の第２の実施形態に係る基本例の半導体記憶装置の製造工程の断面図を示す。以下に、第２の実施形態に係る水素バリア膜の製造方法について説明する。

【００７４】

まず、図１２に示すように、層間絶縁膜２１内に凹部２３が形成された後、ＣＶＤ法やスパッタ法により、凹部２３内及び層間絶縁膜２１上に水素バリア材４０ｃが形成される。次に、水素バリア材４０ｃ上に、下部電極２４、強誘電体膜２５、上部電極２６が順に堆積される。

【００７５】

次に、図１３に示すように、ＣＭＰ法、ＲＩＥ等を用いて、水素バリア材４０ｃ、下部電極２４、強誘電体膜２５、上部電極２６がパターニングされる。これにより、水素バリア膜４０の第１部分４０ａが形成されるとともに、強誘電体キャパシタ２７が形成される。

【００７６】

次に、図１４に示すように、ＣＶＤ法やスパッタ法により、キャパシタ２７及び層間絶縁膜２１上に水素バリア材４０ｄが形成される。その後、この水素バリア材４０ｄがパターニングされることで、水素バリア膜４０の第２部分４０ｂが形成される。このようにして、第１部分４０ａと第２部分４０ｂとからなる水素バリア膜４０でキャパシタ２７が囲まれる。

【００７７】

上記第２の実施形態の基本例によれば、第１の実施形態の基本例と同様の効果を得ることができる。

【００７８】

さらに、水素バリア膜４０でキャパシタ２７を囲むことにより、キャパシタ２７の形成後の工程において発生する水素によるダメージから、キャパシタ２７を保護することが可能となる。

【００７９】

［２－２］変形例１

第２の実施形態に係る変形例１は、図１５に示すように、上記第２の実施形態に係る基本例の凹部２３下に、この凹部２３を形成する際に、ストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【００８０】

上記第２の実施形態の変形例１によれば、上記第２の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上することができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【００８１】

［２－３］変形例２

上記第２の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第２の実施形態に係る変形例２では、図１６に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【００８２】

上記第２の実施形態の変形例２によれば、上記第２の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【００８３】

［３］第３の実施形態

第３の実施形態は、第１の実施形態の変形例であり、配線の酸化を防ぐための酸素バリア膜を設けた例である。

【００８４】

［３－１］基本例

図１７は、本発明の第３の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第３の実施形態に係る基本例の半導体記憶装置の構造について説

明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００８５】

図１７に示すように、第３の実施形態の基本例において、第１の実施形態の基本例と異なる点は、３次元強誘電体キャパシタ２７の底面、側面及び層間絶縁膜２１上に酸素バリア膜４１を設け、この酸素バリア膜４１で多層配線層部２２ａ，２２ｂ及びトランジスタ１６を覆っている点である。

【００８６】

ここで、酸素バリア膜４１は、単層であってもよいし、複数層であってもよく、例えばAl_2O_3、ＳｉＮ、ＳｉＯＮ等の絶縁性の材料の少なくとも一つを含む膜からなる。

【００８７】

また、酸素バリア膜４１は、層間絶縁膜２１内に凹部２３が形成された後に凹部２３内及び層間絶縁膜２１上に形成され、強誘電体キャパシタ２７の形成後も層間絶縁膜２１上に残るように強誘電体キャパシタ２７のパターニングが行われる。

【００８８】

上記第３の実施形態の基本例によれば、第１の実施形態の基本例と同様の効果を得ることができる。

【００８９】

さらに、酸素バリア膜４１で多層配線層部２２ａ，２２ｂ及びトランジスタ１６を覆うことで、キャパシタ２７の形成工程において多層配線層部２２ａ，２２ｂ等の配線部に酸素が侵入して反応が起きることを防ぐことが可能となる。

【００９０】

［３－２］変形例１

第３の実施形態に係る変形例１は、図１８に示すように、上記第３の実施形態に係る基本例の凹部２３下に、この凹部２３を形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【００９１】

上記第３の実施形態の変形例１によれば、上記第３の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【００９２】

［３－３］変形例２

上記第３の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第３の実施形態に係る変形例２では、図１９に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【００９３】

上記第３の実施形態の変形例２によれば、上記第３の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【００９４】

［４］第４の実施形態

第４の実施形態は、第２の実施形態と第３の実施形態とを組み合わせたものであり、水素バリア膜と酸素バリア膜とを設けた例である。

【００９５】

［４－１］基本例

図２０は、本発明の第４の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第４の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【００９６】

図２０に示すように、第４の実施形態の基本例において、第１の実施形態の基本と異なる点は、３次元強誘電体キャパシタ２７の底面、側面及び上面に水素バ

リア膜４０が形成され、この水素バリア膜４０の底面、側面及び層間絶縁膜２１上に酸素バリア膜４１を設けている点である。従って、第４の実施形態の基本例では、水素バリア膜４０で３次元強誘電体キャパシタ２７が囲まれ、かつ、酸素バリア膜４１で多層配線層部２２ａ，２２ｂ及びトランジスタ１６が覆われている。

【００９７】

ここで、水素バリア膜４０及び酸素バリア膜４１は、単層であってもよいし、複数層であってもよい。また、水素バリア膜４０は、例えばAl_2O_3、TiO_2、ＳｉＮ等の絶縁性材料の少なくとも一つを含む膜からなり、酸素バリア膜４１は、例えばAl_2O_3、ＳｉＮ、ＳｉＯＮ等の絶縁性材料の少なくとも一つを含む膜からなる。尚、水素バリア膜４０の第１の部分４０ａは、導電性材料で形成されていてもよい。

【００９８】

また、水素バリア膜４０はキャパシタ２７と直接接して形成してあってもよいし、キャパシタ２７と水素バリア膜４０との間に絶縁膜を設けることで水素バリア膜４０及び絶縁膜からなる積層膜でキャパシタ２７を囲んでもよい。また、酸素バリア膜４１は、水素バリア膜４０と直接接して形成してもよいし、酸素バリア膜４１と水素バリア膜４０との間に絶縁膜を設けてもよい。

【００９９】

また、水素バリア膜４０は、酸素バリア膜４１よりも後に形成され、酸素バリア膜４１よりも内側、すなわちキャパシタ２７側に配置することが望ましい。

【０１００】

上記第４の実施形態の基本例によれば、第２及び第３の実施形態の基本例と同様の効果を得ることができ、多層配線層部２２ａ，２２ｂ等の配線部の酸化とキャパシタ２７の水素劣化とを同時に防ぐとともに、より工程劣化に強いキャパシタ２７を形成することが可能となる。

【０１０１】

［４－２］変形例１

第４の実施形態に係る変形例１は、図２１に示すように、上記第４の実施形態

に係る基本例の凹部２３下に、この凹部２３を形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１０２】

上記第４の実施形態の変形例１によれば、上記第４の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１０３】

［４－３］変形例２

上記第４の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第４の実施形態に係る変形例２では、図２２に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１０４】

上記第４の実施形態の変形例２によれば、上記第４の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１０５】

［５］第５の実施形態

第５の実施形態は、３次元強誘電体キャパシタの下部電極と多層配線層部の最上層配線とを、コンタクトを用いずに、反応防止導電膜を介して下部電極の凸面で接続させた例である。

【０１０６】

［５－１］基本例

図２３は、本発明の第５の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第５の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説

明する。

【０１０７】

図２３に示すように、第５の実施形態の基本例において、第１の実施形態の基本例と異なる点の一つは、３次元強誘電体キャパシタ２７の下部電極２４と多層配線層部２２ａの最上層配線とを突出部４４ａを介して接続させた点である。ここで、突出部４４ａは、層間絶縁膜２１の上面から多層配線層部２２ａの最上層配線まで貫通する凹部４４内を導電材で埋め込むことで形成されている。この基本例の場合、凹部２３ａ，２３ｂの底面及び側面と下部電極２４との間には反応防止導電膜４５，４６が設けられているため、凹部４４内に埋め込まれた反応防止導電膜４５，４６がコンタクトとして機能している。

【０１０８】

また、キャパシタ２７の大容量化を図るためには、この基本例のように、層間絶縁膜２１内に２つの凹部２３ａ，２３ｂを設け、凹部４４を跨いで２つの凹部２３ａ，２３ｂ内に連続して一つのキャパシタ２７を形成することもできる。

【０１０９】

尚、反応防止導電膜４５，４６は、２層である必要はなく、単層であっても複数層であってもよく、例えばＴｉＮ、IrO_2、ＴｉＡｌＮ等の少なくとも一つを含む膜からなる。この反応防止導電膜４５，４６は、下部電極２４の材料と半導体基板１１との反応を防止するために設けられている。

【０１１０】

図２４及び図２５は、本発明の第５の実施形態に係る基本例の半導体記憶装置の製造工程の断面図を示す。以下に、第５の実施形態に係る突出部の製造方法について説明する。

【０１１１】

まず、図２４に示すように、層間絶縁膜２１内に凹部２２ａ，２２ｂ，４４が形成される。ここで、凹部４４の形成では、多層配線層部２２ａの最上層配線の表面が露出するまで層間絶縁膜２１を除去する。

【０１１２】

次に、図２５に示すように、凹部２２ａ，２２ｂ，４４内及び層間絶縁膜２１

上に、反応防止導電膜４５，４６、下部電極２４，強誘電体膜２５、上部電極２６が順に堆積され、パターニングされる。

【０１１３】

上記第５の実施形態の基本例によれば、第１の実施形態の基本例と同様の効果を得ることができる。

【０１１４】

さらに、キャパシタ２７の下部電極２４と多層配線層部２２ａとの接続を、第１の実施形態のようにコンタクト２９で行うよりも、低いアスペクト比の突出部４４ａ（凹凸面）で行うことができる。

【０１１５】

［５－２］変形例１

第５の実施形態に係る変形例１は、図２６に示すように、上記第５の実施形態に係る基本例の凹部２３ａ，２３ｂ下に、この凹部２３ａ，２３ｂを形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１１６】

上記第５の実施形態の変形例１によれば、上記第５の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３ａ，２３ｂの底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１１７】

［５－３］変形例２

上記第５の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第５の実施形態に係る変形例２では、図２７に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１１８】

上記第５の実施形態の変形例２によれば、上記第５の実施形態の基本例と同様

の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１１９】

［６］第６の実施形態

第６の実施形態は、第５の実施形態の変形例であり、３次元強誘電体キャパシタの下部電極と多層配線層部の最上層配線とを、コンタクトや突出部を用いずに、反応防止導電膜を介して下部電極の平坦面で接続させた例である。

【０１２０】

［６－１］基本例

図２８は、本発明の第６の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第６の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第５の実施形態に係る基本例と異なる点について説明する。

【０１２１】

図２８に示すように、第６の実施形態の基本例において、第５の実施形態の基本例と異なる点は、３次元強誘電体キャパシタ２７の下部電極２４と多層配線層部２２ａの最上層配線とを突出部４４ａを介さずに接続させた点である。つまり、第６の実施形態の基本例では、第５の実施形態の突出部４４ａは形成されない。その代わりとして、多層配線層部２２ａの最上層配線の上面が層間絶縁膜２１から露出するように多層配線層部２２ａを形成し、最上層配線に直接接するように反応防止導電膜４５を形成する。これにより、キャパシタ２７の下部電極２４と多層配線層部２２ａとをコンタクトや突出部４４ａを用いずに接続する。

【０１２２】

上記第６の実施形態の基本例によれば、第５の実施形態の基本例と同様の効果を得ることができる。

【０１２３】

さらに、多層配線層部２２ａの最上層配線の上面を層間絶縁膜２１から露出させた構造にすることで、キャパシタ２７の下部電極２４と多層配線層部２２ａとをコンタクトや突出部４４ａを用いずに接続することができる。従って、コンタ

クトや突出部４４ａを形成する工程を省略することができるため、プロセスを簡略化することができる。

【０１２４】

［６－２］変形例１

第６の実施形態に係る変形例１は、図２９に示すように、上記第６の実施形態に係る基本例の凹部２３ａ，２３ｂ下に、この凹部２３ａ，２３ｂを形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１２５】

上記第６の実施形態の変形例１によれば、上記第６の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３ａ，２３ｂの底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１２６】

［６－３］変形例２

上記第６の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第６の実施形態に係る変形例２では、図３０に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１２７】

上記第６の実施形態の変形例２によれば、上記第６の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１２８】

［７］第７の実施形態

第７の実施形態は、３次元強誘電体キャパシタをＣＯＰ（Capacitor On Plug）構造にした場合の例である。

【０１２９】

［７－１］基本例

図３１は、本発明の第７の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第７の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第１の実施形態に係る基本例と異なる点について説明する。

【０１３０】

図３１に示すように、第７の実施形態の基本例において、第１の実施形態の基本例と異なる点は、強誘電体キャパシタ２７の下部電極２４とトランジスタ１６のソース／ドレイン拡散層１５ａとが、強誘電体キャパシタ２７直下のコンタクト２０ａを介して接続されている点である。この場合も、強誘電体キャパシタ２７の少なくとも一部がゲート電極１４の上方に配置するように形成するとよい。

【０１３１】

図３２及び図３３は、本発明の第７の実施形態に係る基本例の半導体記憶装置の製造工程の断面図を示す。以下に、第７の実施形態に係るＣＯＰ構造の製造方法について説明する。

【０１３２】

まず、図３２に示すように、ダマシン法やＲＩＥ法等を用いて、第２の層間絶縁膜２１内に、例えばW、Ｃｕ、Ａｌ等の材料からなる多層配線層部２２ｂ，２２ｄが形成される。この際、ソース／ドレイン拡散層１５ａ，１５ｂに接続する一方のコンタクト２０ｂ上には多層配線層部２２ｂが形成されるが、他方のコンタクト２０ａ上には多層配線層部は形成されないようにする。

【０１３３】

次に、ＲＩＥ等を用いて第２の層間絶縁膜２１が選択的にエッチングされ、凹部２３が形成される。この凹部２３により他方のコンタクト２０ａの上面が露出される。

【０１３４】

次に、図３３に示すように、ＣＶＤ法やスパッタ法により、凹部２３内及び第２の層間絶縁膜２１上に、下部電極２４、強誘電体膜２５、上部電極２６が順に堆積される。

【０１３５】

その後、ＣＭＰ法、ＲＩＥ等を用いて、下部電極２４、強誘電体膜２５、上部電極２６がパターニングされる。これにより、コンタクト２０ａ上に強誘電体キャパシタ２７が設けられたＣＯＰ構造が実現する。

【０１３６】

上記第７の実施形態の基本例によれば、第１の実施形態の基本例と同様の効果を得ることができる。

【０１３７】

さらに、ＣＯＰ構造を用いることにより、キャパシタ２７の下部電極２４とソース／ドレイン拡散層１５ａとを、多層配線層部を用いることなくコンタクト２０ａのみで接続できるため、さらにセル面積の縮小を図ることができる。

【０１３８】

また、ＣＯＰ構造により、コンタクト２０ａの材料及び構造の最適化を独立に行うことが可能となるため、下部電極２４とソース／ドレイン拡散層１５ａとの電気的接触性を改善することができる。

【０１３９】

［７－２］変形例１

第７の実施形態に係る変形例１は、図３４に示すように、上記第７の実施形態に係る基本例の凹部２３下に、この凹部２３を形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１４０】

上記第７の実施形態の変形例１によれば、上記第７の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１４１】

［７－３］変形例２

上記第７の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第７の実施形態に係る変形例２では、図３５に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１４２】

上記第７の実施形態の変形例２によれば、上記第７の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１４３】

［８］第８の実施形態

第８の実施形態は、第７の実施形態に係るＣＯＰ構造の変形例であり、強誘電体キャパシタの下部電極とソース／ドレイン拡散層とをキャパシタと独立に形成されたコンタクトプラグを用いずに接続する例である。

【０１４４】

［８－１］基本例

図３６は、本発明の第８の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第８の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第７の実施形態に係る基本例と異なる点について説明する。

【０１４５】

図３６に示すように、第８の実施形態の基本例において、第７の実施形態の基本例と異なる点は、キャパシタ２７の下部電極２４とトランジスタ１６のソース／ドレイン拡散層１５ａとを接続するコンタクト部５２が、下部電極２４の一部で形成されている点である。ここで、下部電極２４の一部からなるコンタクト部５２は、例えばＴｉＮ、IrO_2、ＴｉＡｌＮ等の少なくとも一つを含む膜からなる単層又は複数層の反応防止導電膜５１を介して、ソース／ドレイン拡散層１５ａに直接接続されている。この反応防止導電膜５１は、下部電極２４の材料と半導体基板１１との反応を防止するために設けられている。

【０１４６】

図３７及び図３８は、本発明の第８の実施形態に係る基本例の半導体記憶装置の製造工程の断面図を示す。以下に、第８の実施形態に係るＣＯＰ構造の変形例の製造方法について説明する。

【０１４７】

まず、図３７に示すように、ダマシン法やＲＩＥ法等を用いて、第２の層間絶縁膜２１内に、例えばW、Ｃｕ、Ａｌ等の材料からなる多層配線層部２２ｂ，２２ｄが形成される。この際、ソース／ドレイン拡散層１５ａ，１５ｂに接続する一方のコンタクト２０ｂ上には多層配線層部２２ｂが形成されるが、他方のコンタクト２０ａ上には多層配線層部は形成されないようにする。

【０１４８】

次に、第１の層間絶縁膜１７の上面が露出するまで、ＲＩＥ等を用いて第２の層間絶縁膜２１が選択的にエッチングされ、凹部５０ｂが形成される。次に、ソース／ドレイン拡散層１５ａの上面が露出するまで、凹部５０ｂから第１の層間絶縁膜１７を選択的にエッチングし、凹部５０ｂと連通する凹部５０ａが形成される。

【０１４９】

次に、図３８に示すように、ＣＶＤ法やスパッタ法により、凹部５０ａ，５０ｂ内及び第２の層間絶縁膜２１上に、反応防止導電膜５１，下部電極２４、強誘電体膜２５、上部電極２６が順に堆積される。

【０１５０】

その後、ＣＭＰ法、ＲＩＥ等を用いて、反応防止導電膜５１，下部電極２４、強誘電体膜２５、上部電極２６がパターニングされる。これにより、強誘電体キャパシタ２７の下部電極２４の一部でコンタクト部５２が形成されたＣＯＰ構造の変形例が実現する。

【０１５１】

上記第８の実施形態の基本例によれば、第７の実施形態の基本例と同様の効果を得ることができる。

【０１５２】

さらに、キャパシタ２７の下部電極２４とトランジスタ１６のソース／ドレイ

ン拡散層１５ａとを接続するコンタクト部５２を下部電極２４の一部で形成することにより、第７の実施形態よりも工程数を削減することが可能となり、プロセスを簡略化できる。

【０１５３】

［８－２］変形例１

第８の実施形態に係る変形例１は、図３９に示すように、上記第８の実施形態に係る基本例の凹部５０ｂ下に、この凹部５０ｂを形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１５４】

上記第８の実施形態の変形例１によれば、上記第８の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部５０ｂの底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１５５】

［８－３］変形例２

上記第８の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第８の実施形態に係る変形例２では、図４０に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１５６】

上記第８の実施形態の変形例２によれば、上記第８の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１５７】

［９］第９の実施形態

第９の実施形態は、第７の実施形態に係るＣＯＰ構造に、水素バリア膜及び酸素バリア膜を付加させた例である。

【０１５８】

［９－１］基本例

図４１は、本発明の第９の実施形態に係る基本例の半導体記憶装置の断面図を示す。以下に、第９の実施形態に係る基本例の半導体記憶装置の構造について説明する。尚、ここでは、主に第７の実施形態に係る基本例と異なる点について説明する。

【０１５９】

図４１に示すように、第９の実施形態において、第７の実施形態と異なる点は、３次元強誘電体キャパシタ２７の上面を水素バリア膜４０で覆い、かつ、３次元強誘電体キャパシタ２７の底面及び側面に酸素バリア膜４１を形成している点である。

【０１６０】

ここで、水素バリア膜４０は、単層であってもよいし、複数層であってもよく、例えばAl_2O_3、TiO_2、ＳｉＮ等の絶縁性材料の少なくとも一つを含む膜からなる。また、水素バリア膜４０はキャパシタ２７と直接接して形成してあってもよいし、キャパシタ２７と水素バリア膜４０との間に絶縁膜を設けることで水素バリア膜４０及び絶縁膜からなる積層膜でキャパシタ２７を囲んでもよい。また、水素バリア膜４０は、３次元強誘電体キャパシタ２７の上面だけでなく、第４の実施形態のように、酸素バリア膜４１と下部電極２４との間にも設けてよい。

【０１６１】

また、酸素バリア膜４１は、単層であってもよいし、複数層であってもよく、例えばＴｉＡｌＮ等の導電性材料の少なくとも一つを含む膜からなる。

【０１６２】

ここで、酸素バリア膜４１を導電性材料で形成する場合は、例えば、次のようなプロセスを行うことができる。まず、酸素バリア膜４１を、凹部２３の底面及び側面だけでなく、層間絶縁膜２１上にまで形成する。次に、キャパシタ２７を形成した後、アニールを行う。その後、水素バリア膜４０を形成し、層間絶縁膜２１上の酸素バリア膜４１を除去する。このようなプロセスにより、アニール時

には酸素バリア膜４１で多層配線層部２２ｂ等の配線が覆われているため、酸素バリア膜４１で多層配線層部２２ｂ等の配線が酸化されることを防ぐことができる。

【０１６３】

尚、酸素バリア膜４１は、絶縁性材料で形成してもよい。この場合、酸素バリア膜４１は凹部２３の底面及び側面だけでなく層間絶縁膜２１上にまで形成していてもよいが、下部電極２４とコンタクト２０ａとを導通させるために、凹部２３の底面における酸素バリア膜４１の一部を除去して、下部電極２４をコンタクト２０ａに接触させる必要がある。ここで、水素バリア膜４０をキャパシタ２７の底面及び側面にも形成している場合には、酸素バリア膜４１と同様に、水素バリア膜４０の一部を除去して下部電極２４とコンタクト２０ａとを接触させる必要がある。

【０１６４】

上記第９の実施形態の基本例によれば、第７の実施形態の基本例と同様の効果を得ることができる。

【０１６５】

さらに、多層配線層部２２ｂ等の配線の酸化とキャパシタ２７の水素劣化とを同時に防ぐとともに、より工程劣化に強いキャパシタ２７を形成することが可能となる。

【０１６６】

［９－２］変形例１

第９の実施形態に係る変形例１は、図４２に示すように、上記第９の実施形態に係る基本例の凹部２３下に、この凹部２３を形成する際にストッパー、水素バリア及び酸素バリアのうちの少なくとも一つの機能を有する保護絶縁膜３５を付加したものである。

【０１６７】

上記第９の実施形態の変形例１によれば、上記第９の実施形態の基本例と同様の効果を得ることができるだけでなく、保護絶縁膜３５により、凹部２３の底面とゲート電極１４の上面との距離の制御性を向上させることができる。さらに、

保護絶縁膜３５によって、水素バリア性及び酸素バリア性の効果も得ることができる。

【０１６８】

［９－３］変形例２

上記第９の実施形態に係る基本例では、ビット線３３がキャパシタ２７の最上面よりも上方に配置されていたのに対し、第９の実施形態に係る変形例２では、図４３に示すように、ビット線１９をキャパシタ２７の底面よりも下方に配置させている。

【０１６９】

上記第９の実施形態の変形例２によれば、上記第９の実施形態の基本例と同様の効果を得ることができるだけでなく、キャパシタ２７の合わせずれの問題が生じないという利点がある。

【０１７０】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【０１７１】

【発明の効果】

以上説明したように本発明によれば、３次元キャパシタを用いた場合のセルの拡大を抑制する半導体記憶装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図１】　本発明の第１の実施形態に係わる基本例の半導体記憶装置の断面図。

【図２】　本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図３】　図２に続く、本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図４】　図３に続く、本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図５】　図４に続く、本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図６】　図５に続く、本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図７】　図６に続く、本発明の第１の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図８】　本発明の第１の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図９】　本発明の第１の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図１０】　本発明の第１の実施形態に係わる変形例３の半導体記憶装置を示す断面図。

【図１１】　本発明の第２の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図１２】　本発明の第２の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図１３】　図１２に続く、本発明の第２の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図１４】　図１３に続く、本発明の第２の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図１５】　本発明の第２の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図１６】　本発明の第２の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図１７】　本発明の第３の実施形態に係わる基本例の半導体記憶装置を示

す断面図。

【図１８】　本発明の第３の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図１９】　本発明の第３の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図２０】　本発明の第４の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図２１】　本発明の第４の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図２２】　本発明の第４の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図２３】　本発明の第５の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図２４】　本発明の第５の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図２５】　図２４に続く、本発明の第５の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図２６】　本発明の第５の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図２７】　本発明の第５の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図２８】　本発明の第６の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図２９】　本発明の第６の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図３０】　本発明の第６の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図３１】　本発明の第７の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図３２】　本発明の第７の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図３３】　図３２に続く、本発明の第７の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図３４】　本発明の第７の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図３５】　本発明の第７の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図３６】　本発明の第８の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図３７】　本発明の第８の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図３８】　図３７に続く、本発明の第８の実施形態に係わる基本例の半導体記憶装置の製造工程を示す断面図。

【図３９】　本発明の第８の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図４０】　本発明の第８の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

【図４１】　本発明の第９の実施形態に係わる基本例の半導体記憶装置を示す断面図。

【図４２】　本発明の第９の実施形態に係わる変形例１の半導体記憶装置を示す断面図。

【図４３】　本発明の第９の実施形態に係わる変形例２の半導体記憶装置を示す断面図。

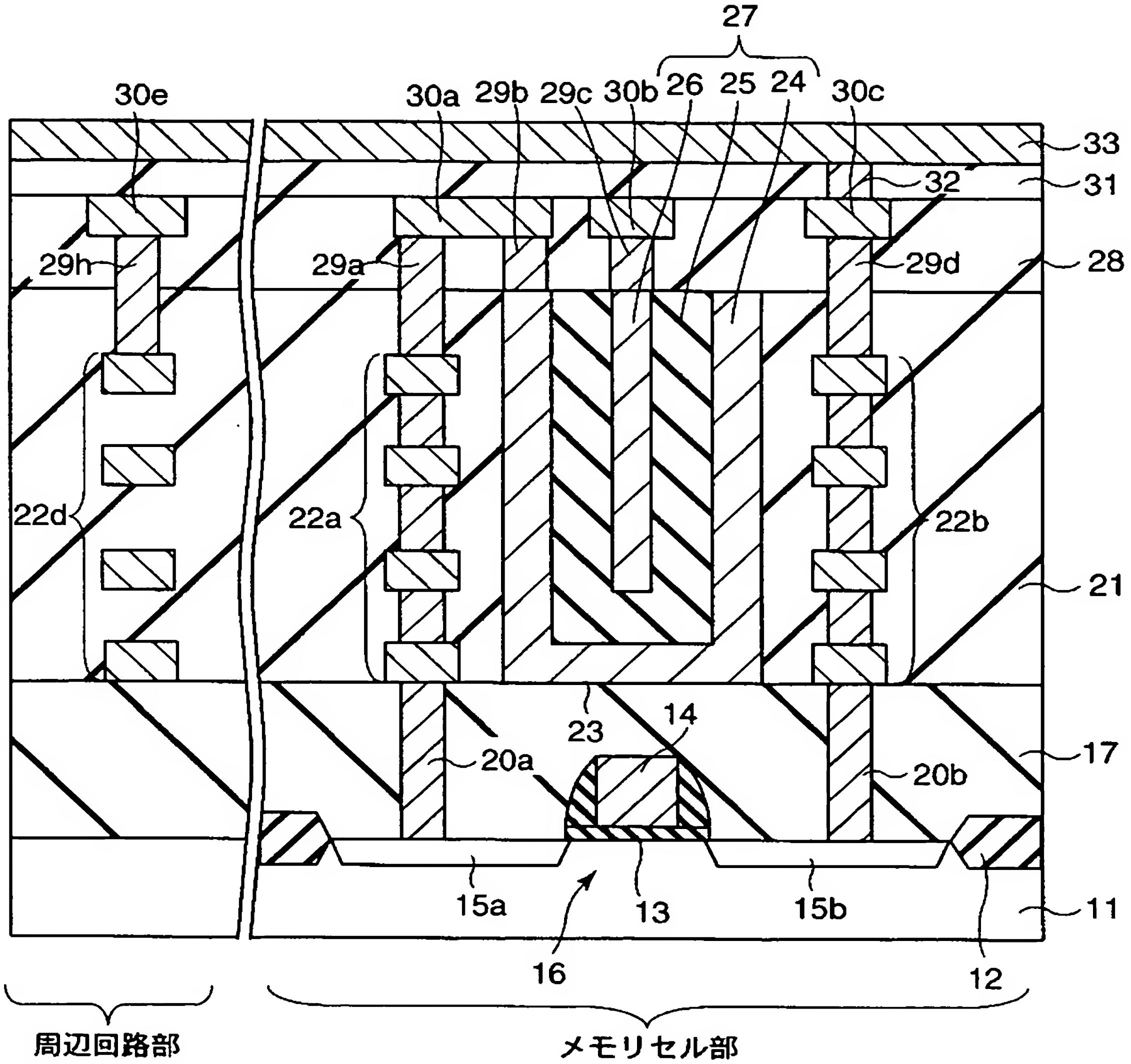
【符号の説明】

１１…半導体基板、１２…素子領域、１３，１３ａ，１３ｂ…ゲート絶縁膜、１４，１４ａ，１４ｂ…ゲート電極、１５ａ，１５ｂ，１５ｃ…ソース／ドレイン拡散層、１６，１６ａ，１６ｂ…メモリセルトランジスタ、１７，２１，２８，３１…層間絶縁膜、１８ａ，１８ｂ，２０ａ，２０ｂ，２０ｃ，２９ａ，２９

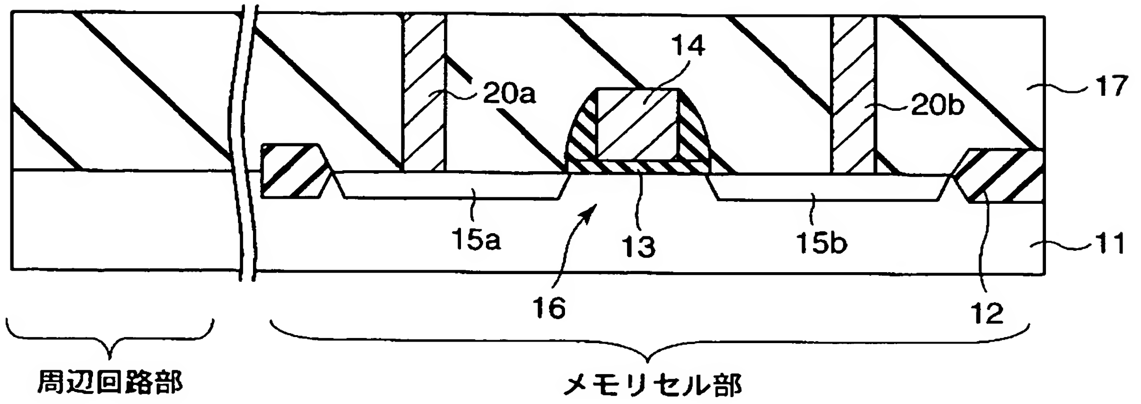
ｂ，２９ｃ，２９ｄ，２９ｅ，２９ｆ，２９ｇ，２９ｈ…コンタクト、１９…ビット線、２２ａ，２２ｂ，２２ｃ，２２ｄ…多層配線層部、２３，２３ａ，２３ｂ，４４，５０ａ，５０ｂ…凹部、２４…下部電極、２５…強誘電体膜、２６…上部電極、２７，２７ａ，２７ｂ…３次元強誘電体キャパシタ、３０ａ，３０ｂ，３０ｃ，３０ｄ，３０ｅ…配線、３５…保護絶縁膜、４０…水素バリア膜、４０ａ…水素バリア膜の第１部分、４０ｂ…水素バリア膜の第２部分、４０ｃ，４０ｄ…水素バリア材、４１…酸素バリア膜、４４ａ…突出部、４５，４６，５１…反応防止導電膜、５２…コンタクト部。

【書類名】　図面

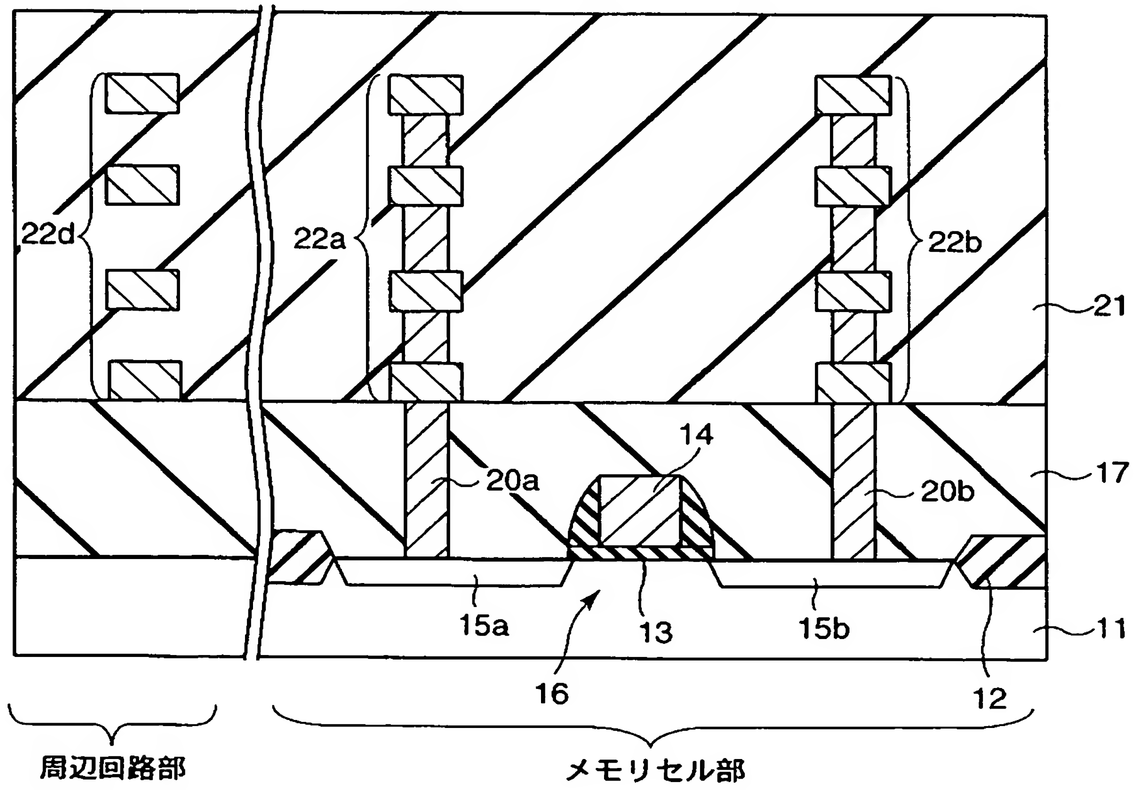
【図１】


27
30e
30a
29b
29c
30b
26
25
24
30c
33
32
31
29h
29a
29d
28
22d
22a
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

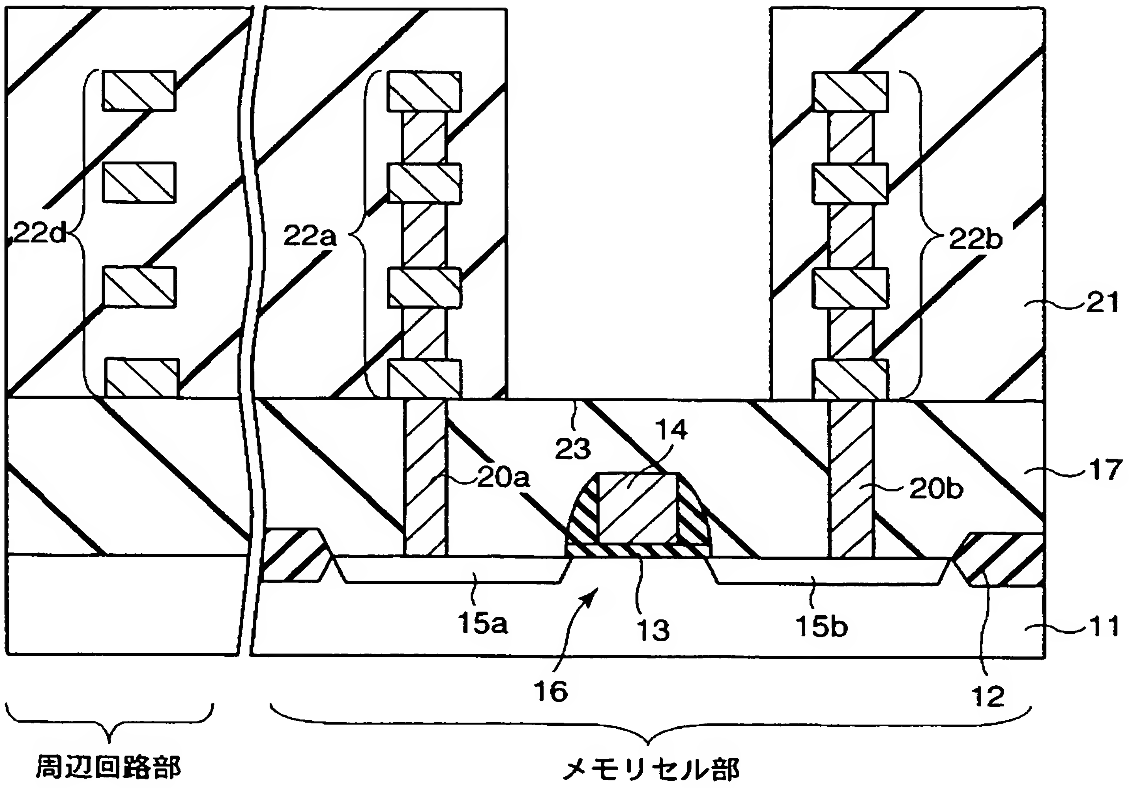
【図２】


14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

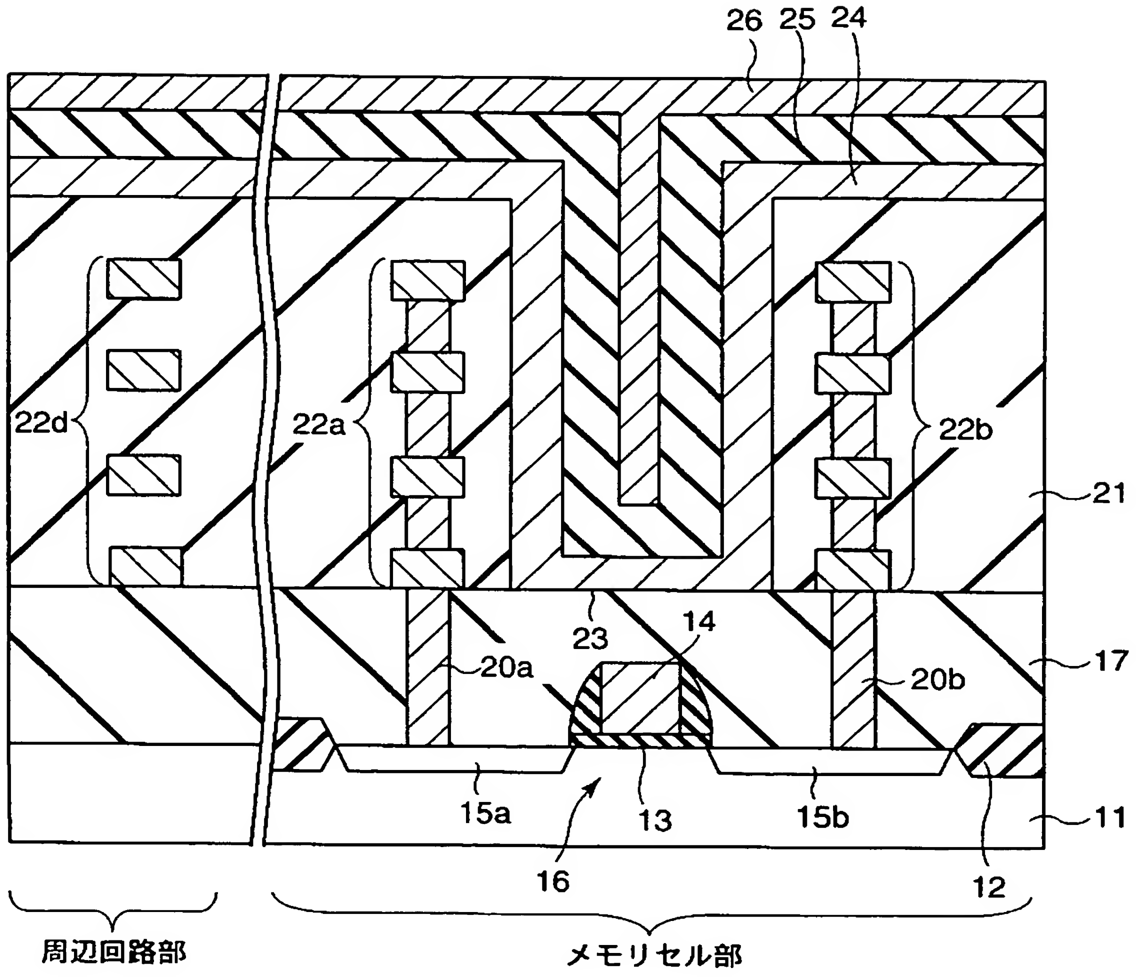
【図３】


22d
22a
22b
21
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

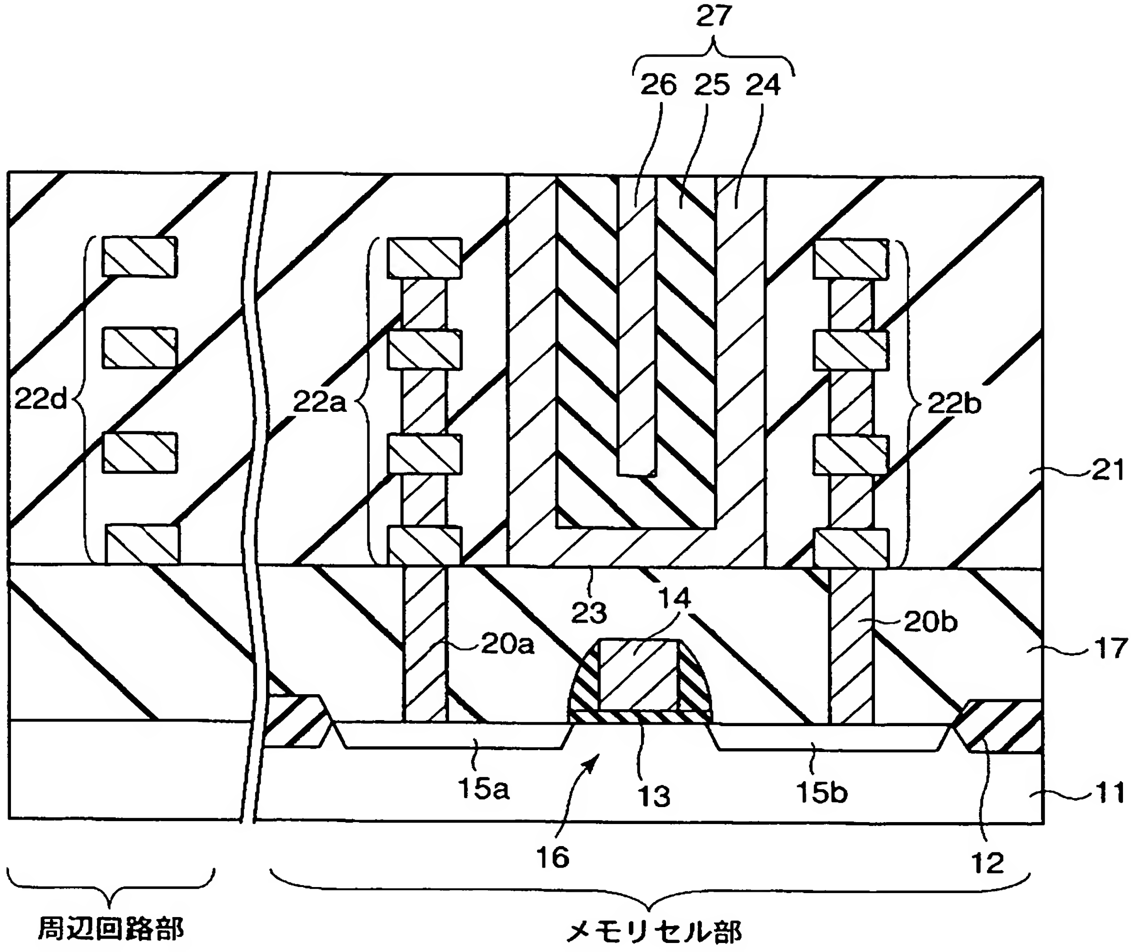
【図４】



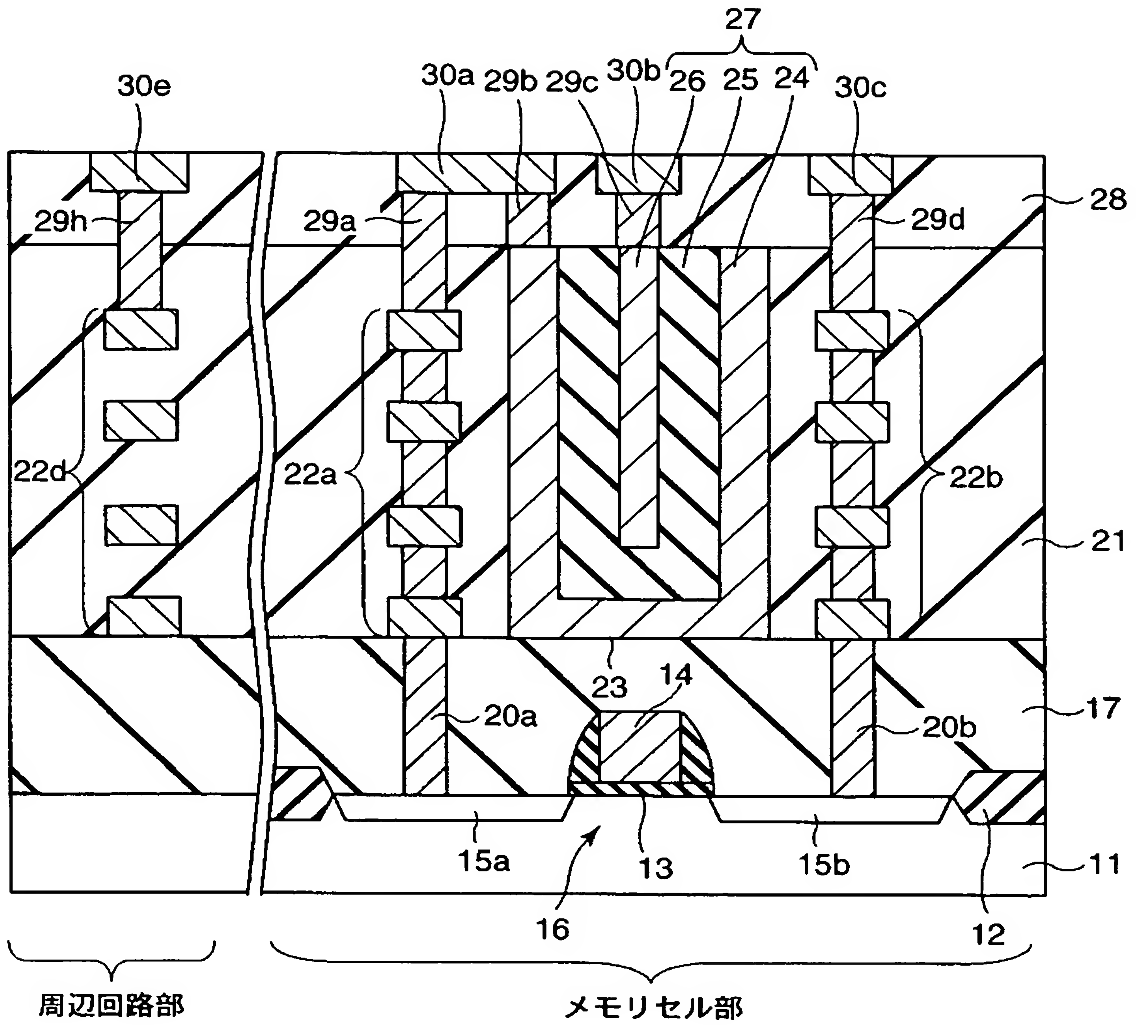
【図５】


26 25 24
22d
22a
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

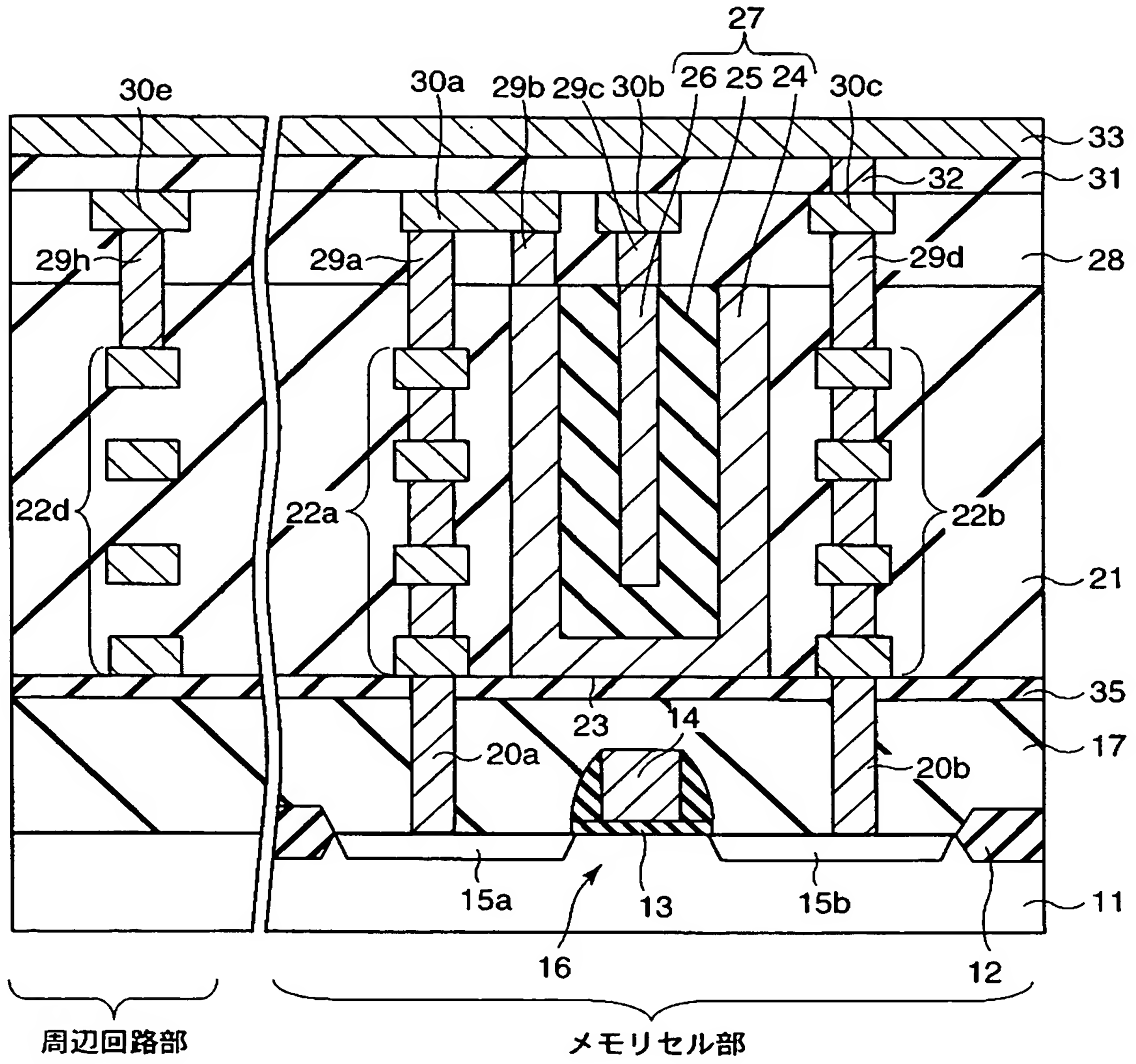
【図６】


27
26 25 24
22d
22a
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

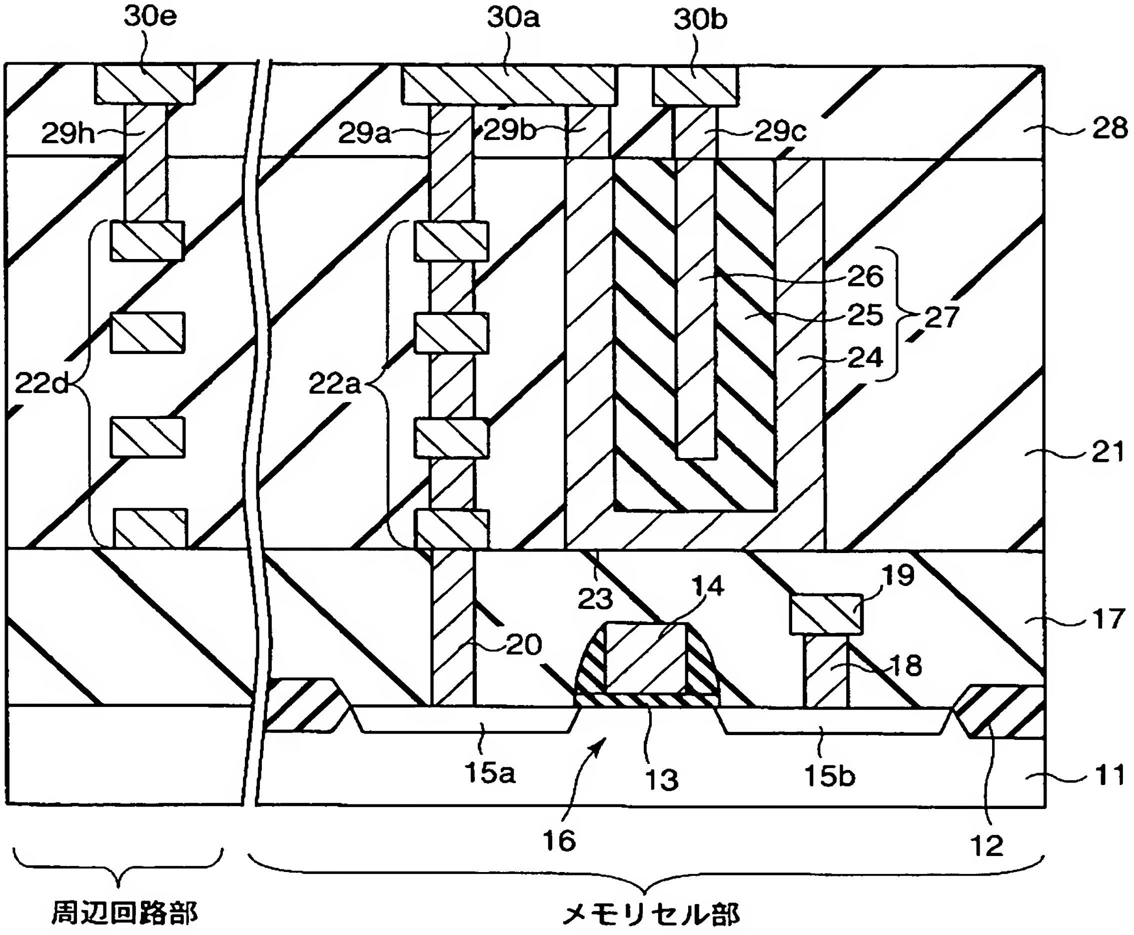
【図７】


27
30e
30a
29b
29c
30b
26
25
24
30c
28
29h
29a
29d
22d
22a
22b
21
23
14
17
20a
20b
15a
13
15b
11
16
12
周辺回路部
メモリセル部

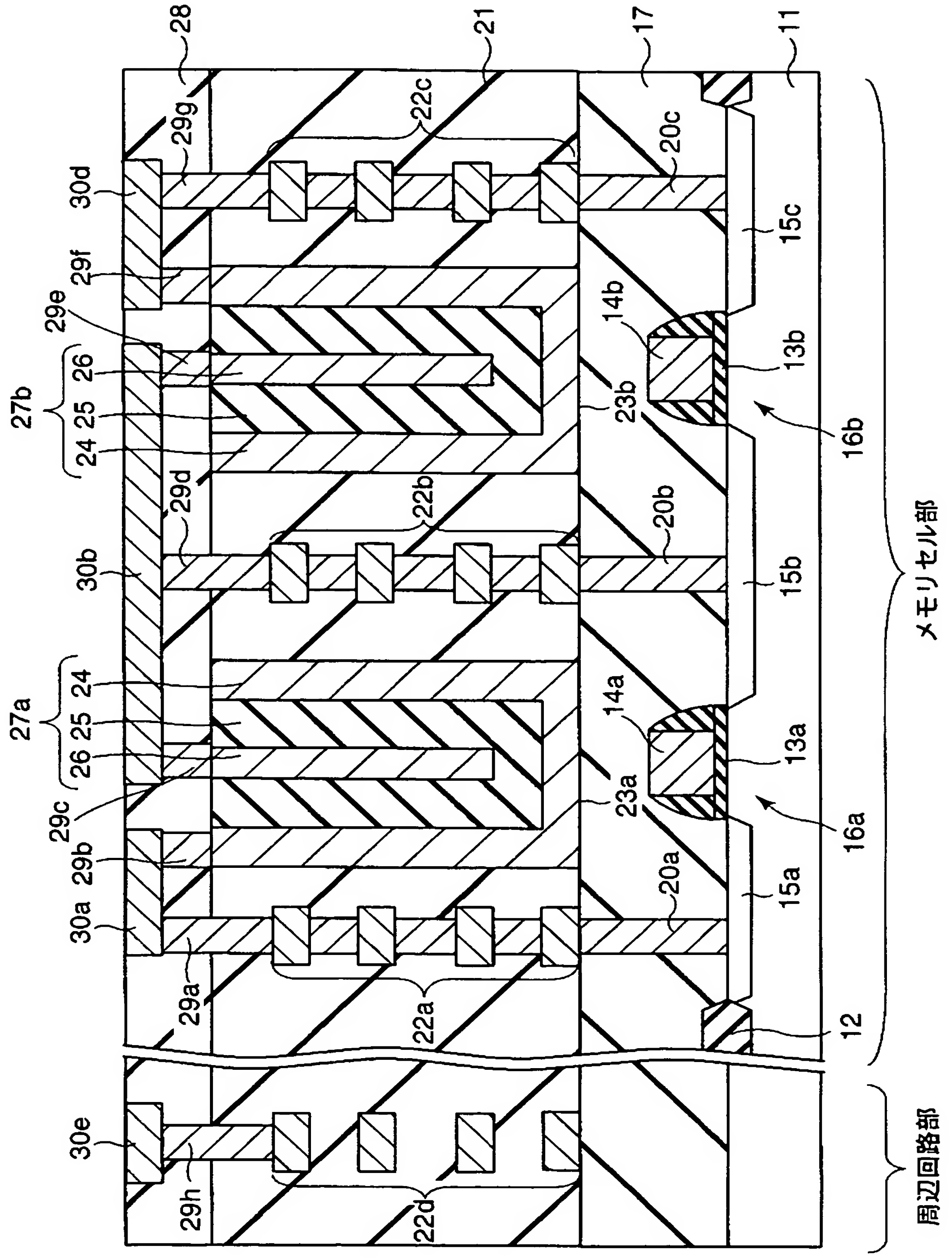
【図８】


27
30e
30a
29b
29c
30b
26
25
24
30c
33
32
31
29h
29a
29d
28
22d
22a
22b
21
35
23
14
17
20a
20b
15a
13
15b
11
16
12
周辺回路部
メモリセル部

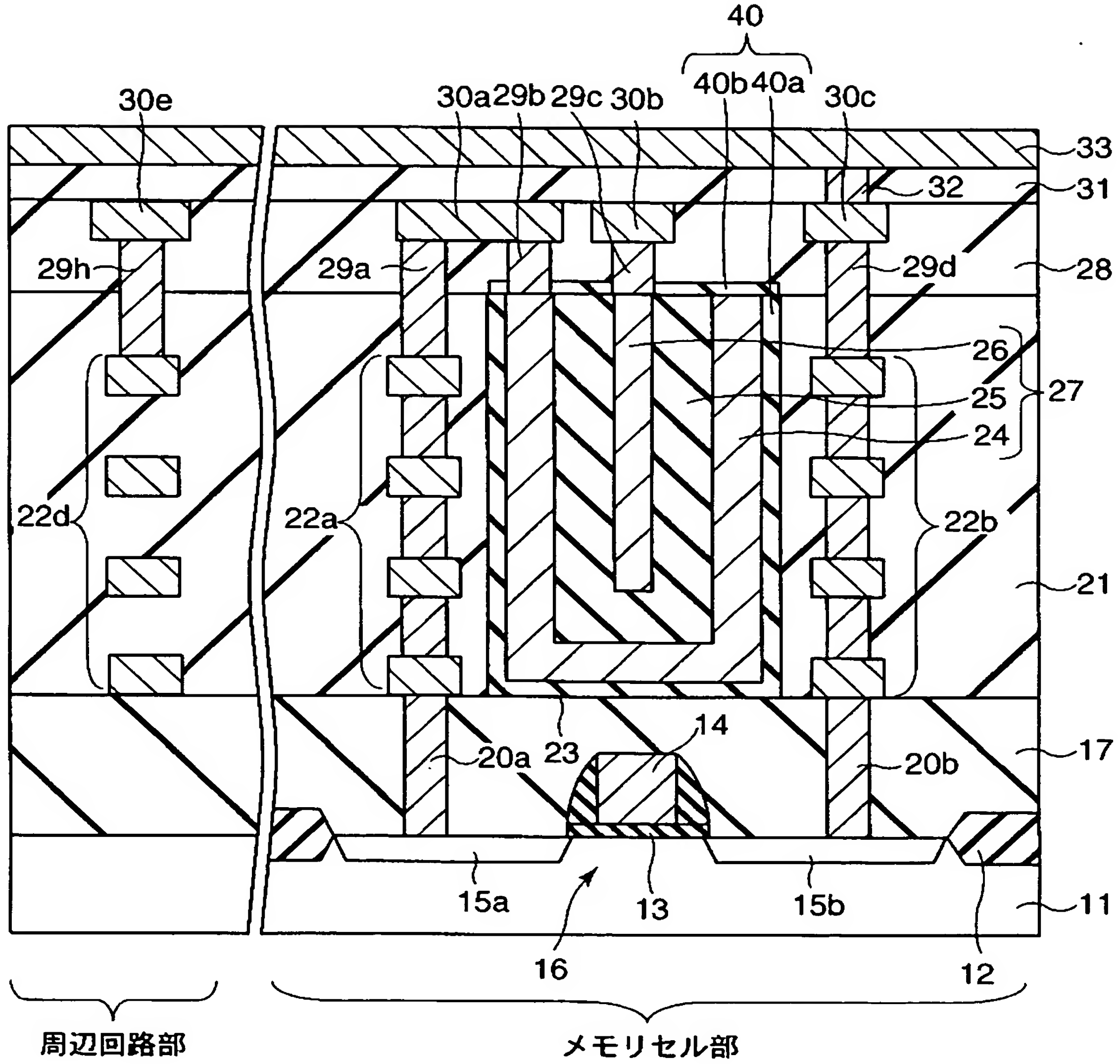
【図９】


30e
30a
30b
29h
29a
29b
29c
28
26
25
24
27
22d
22a
21
23
14
19
17
20
18
15a
13
15b
11
16
12
周辺回路部
メモリセル部

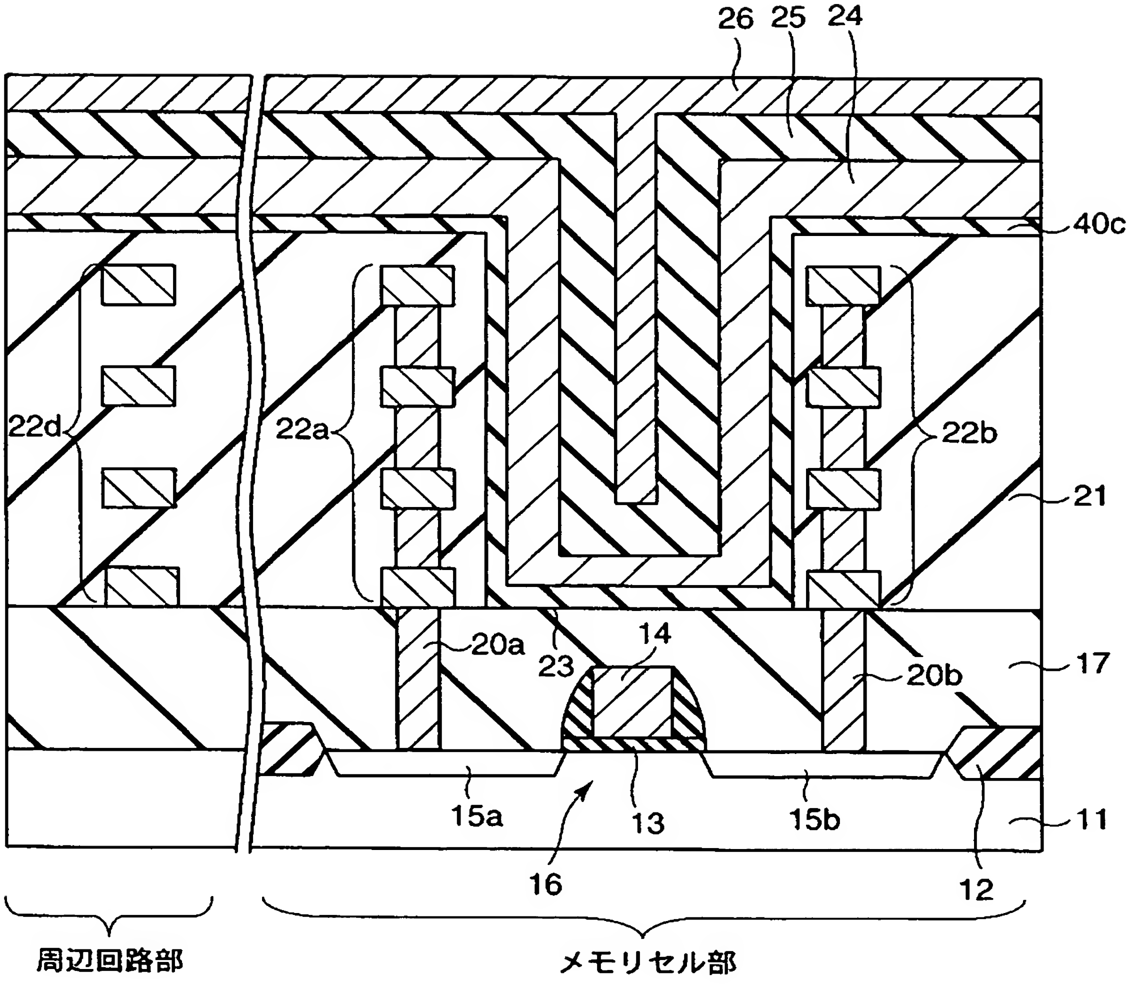
【図１０】


28
21
17
11
29g
22c
20c
30d
15c
29f
14b
29e
26
13b
27b
25
23b
16b
24
29d
22b
20b
30b
15b
メモリセル部
24
14a
27a
25
13a
26
23a
29c
16a
29b
20a
30a
15a
29a
22a
12
30e
29h
22d
周辺回路部

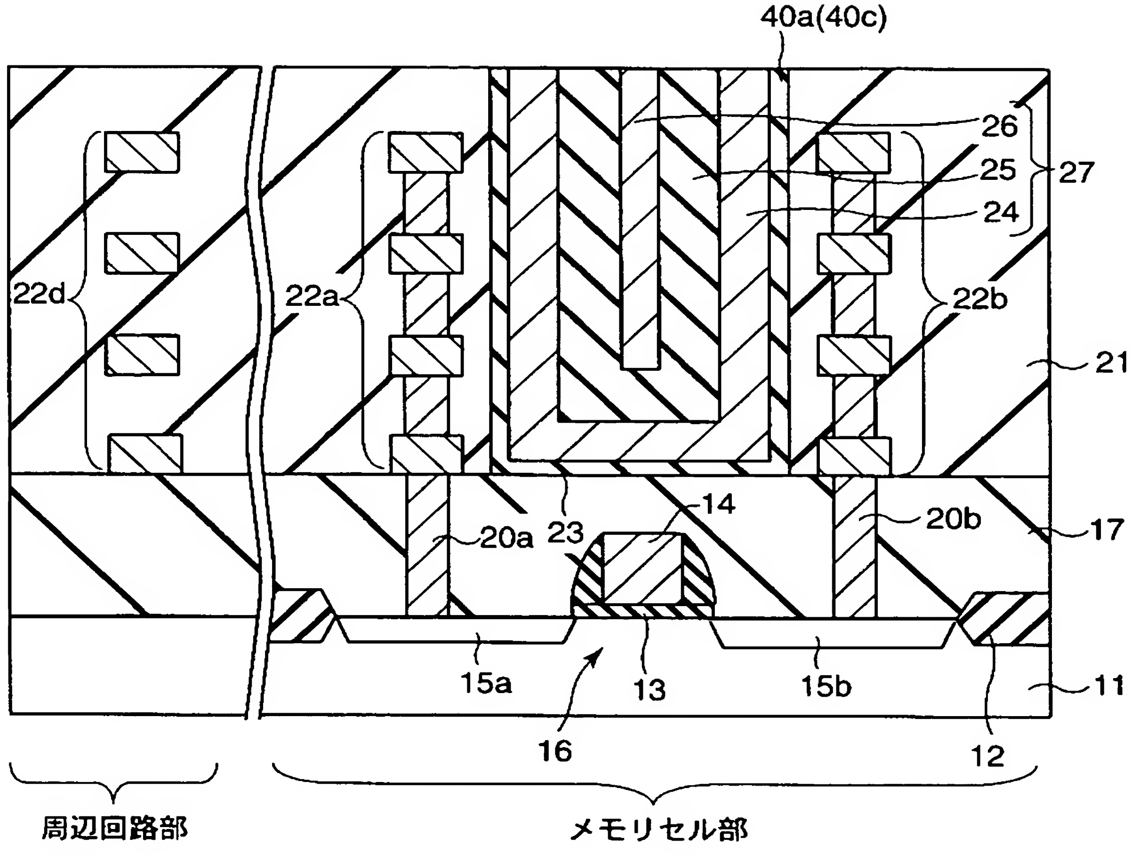
【図１１】


40
40b
40a
30e
30a
29b
29c
30b
30c
33
32
31
29h
29a
29d
28
26
25
27
24
22d
22a
22b
21
20a
23
14
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

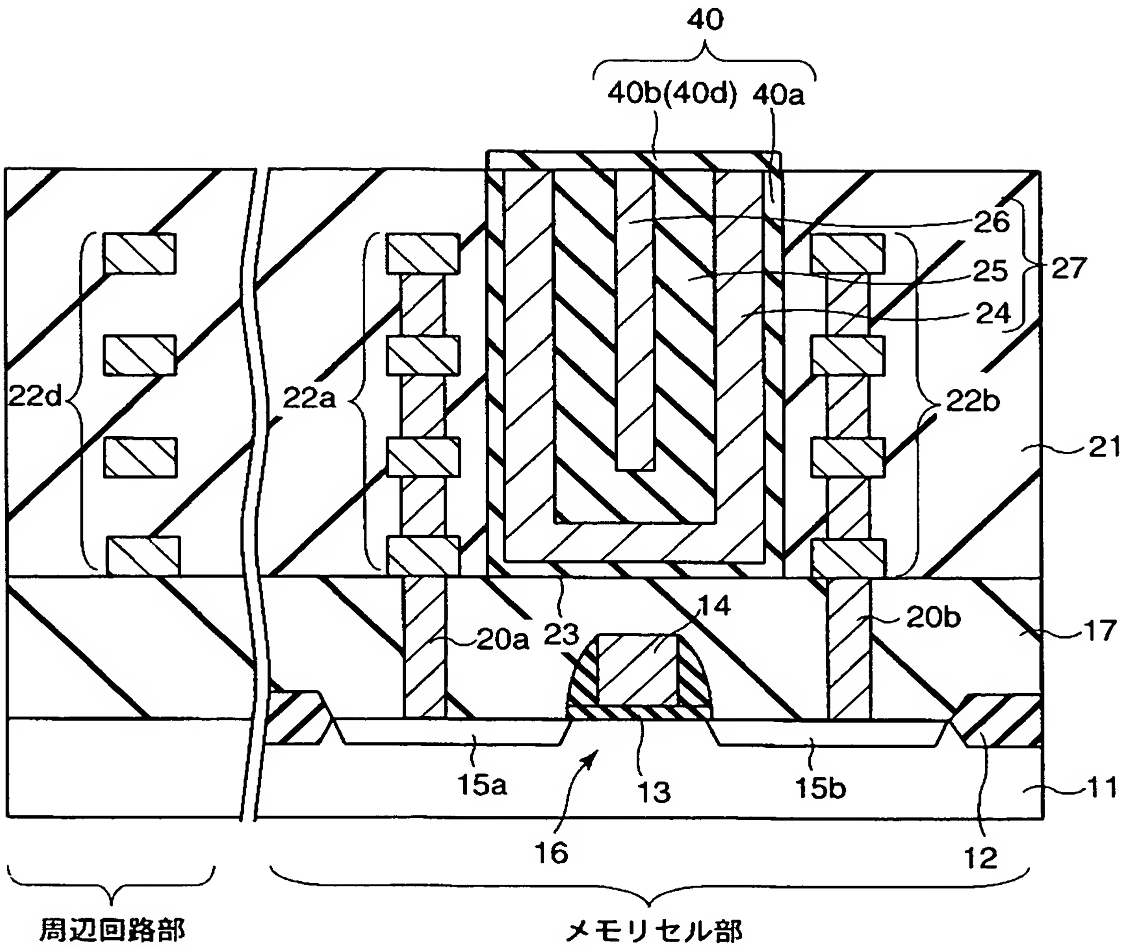
【図１２】


26 25 24
40c
22d
22a
22b
21
20a
23
14
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

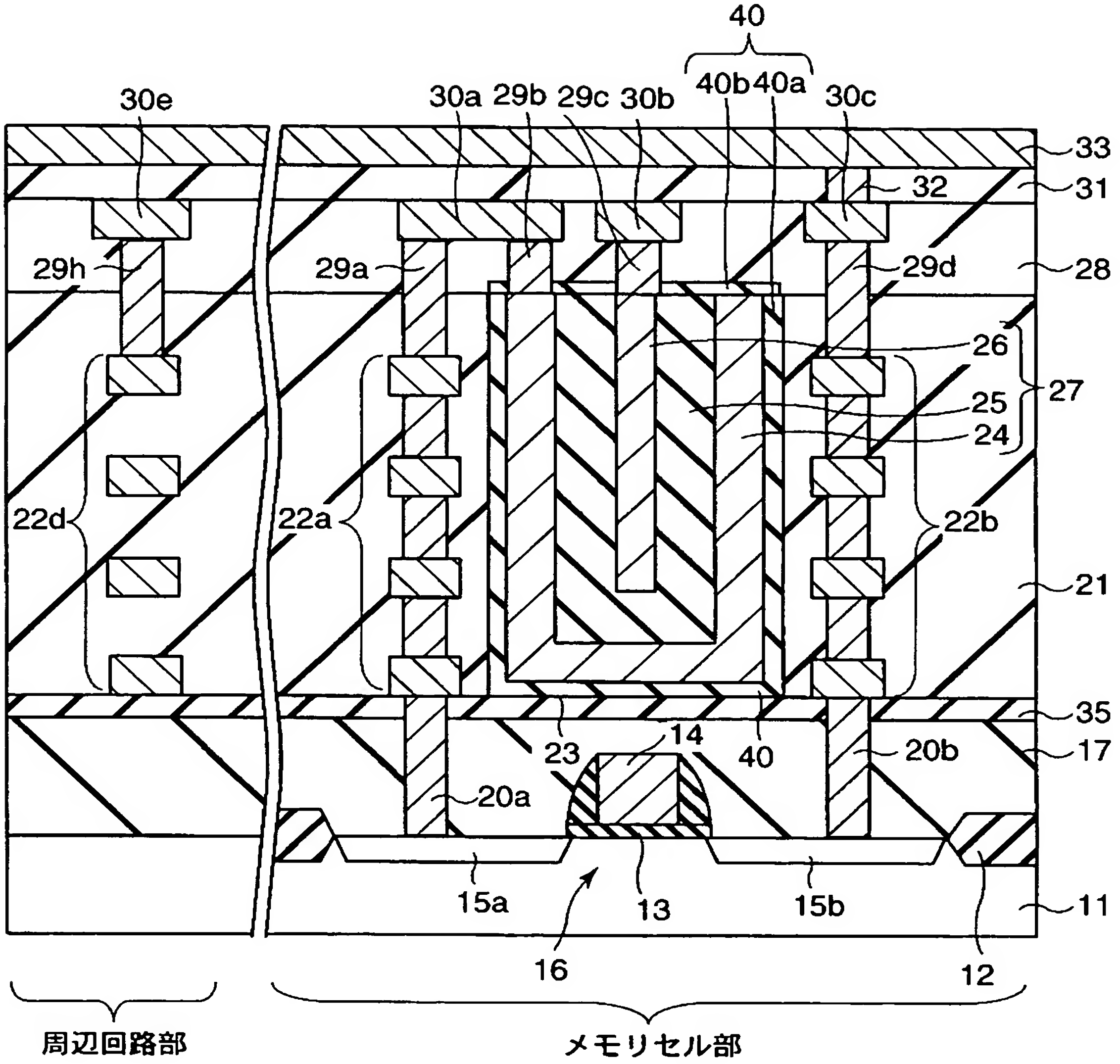
【図１３】


40a(40c)
26
25
24
27
22d
22a
22b
21
20a
23
14
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

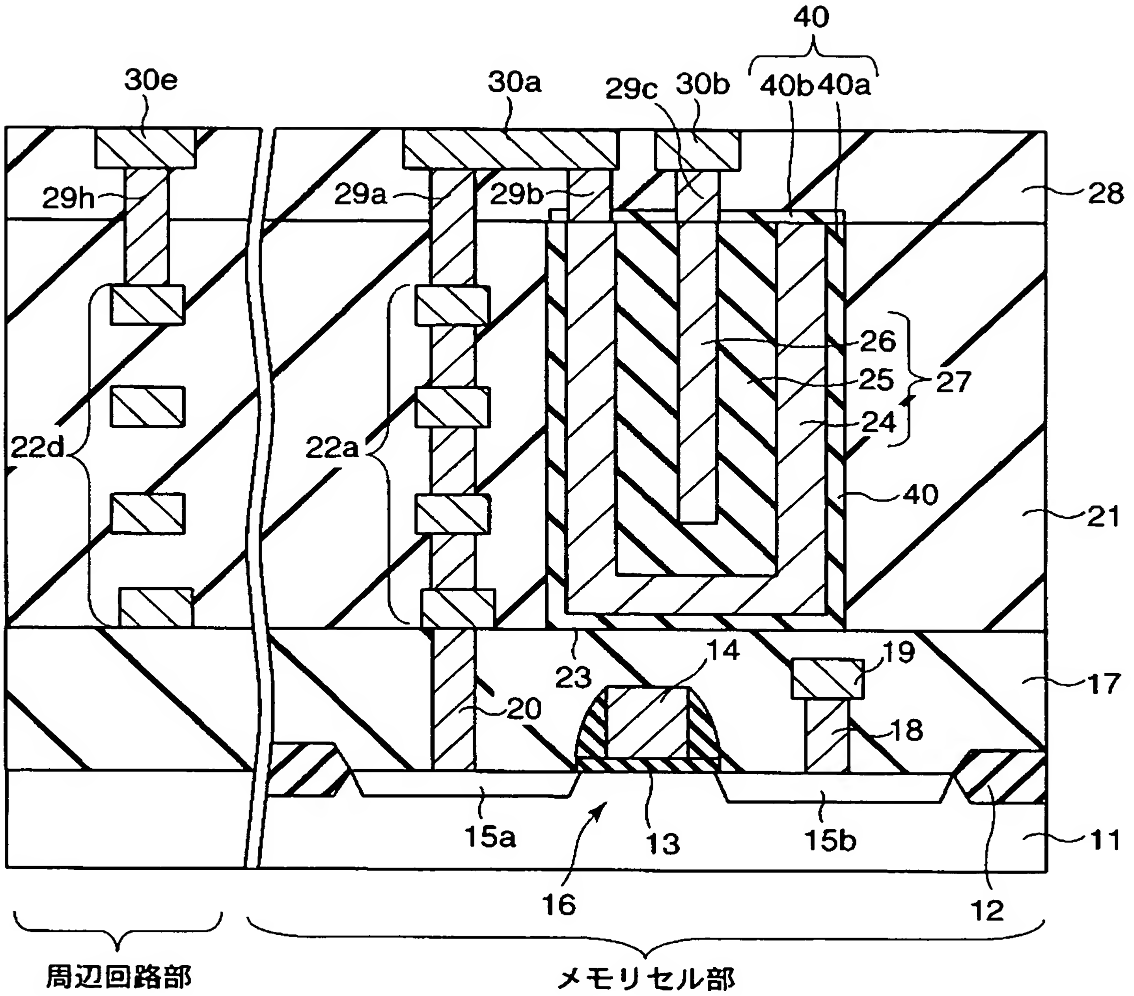
【図１４】


40
40b(40d)
40a
26
25
24
27
22d
22a
22b
21
20a
23
14
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

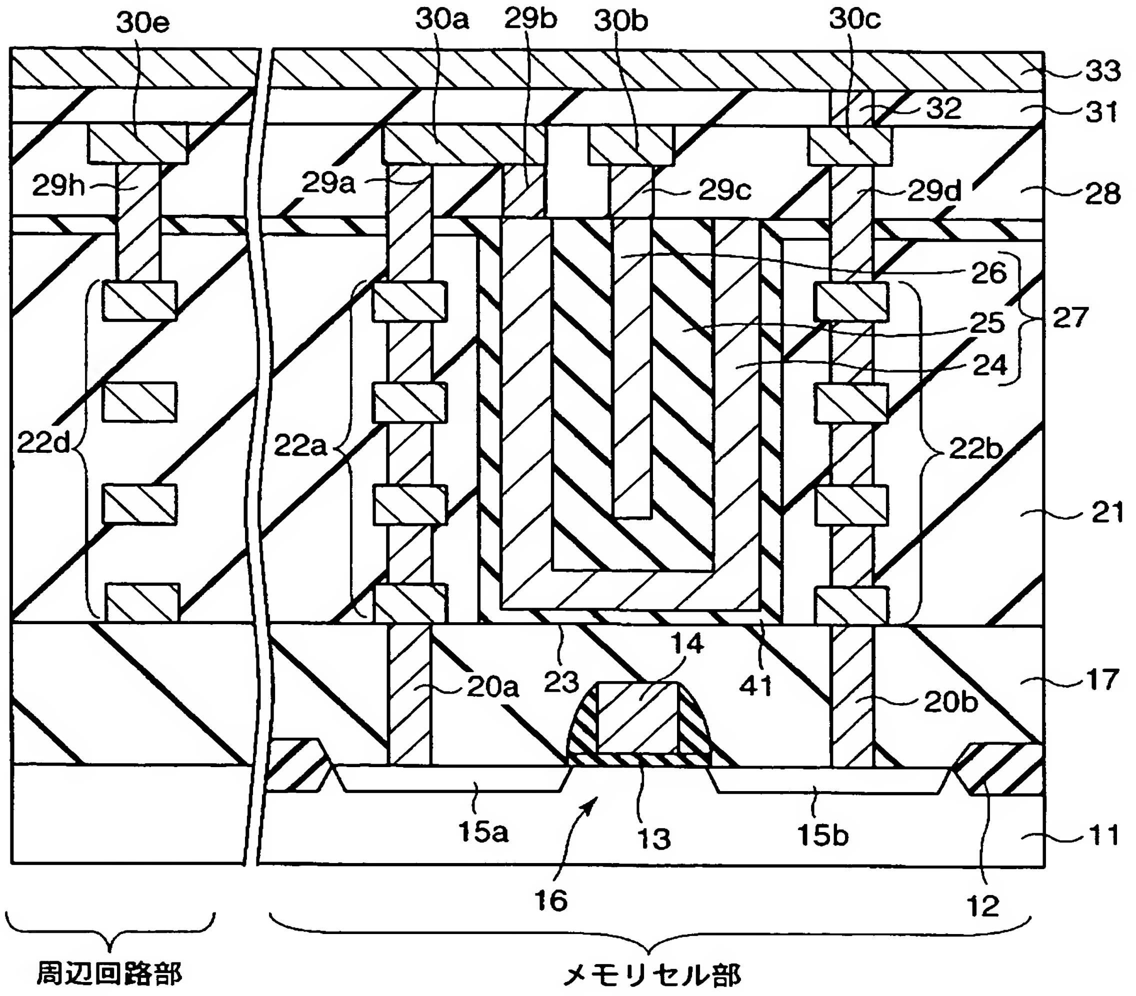
【図１５】


40
30e
30a 29b 29c 30b
40b 40a
30c
33
32
31
29h
29a
29d
28
26
27
25
24
22d
22a
22b
21
35
23
14
40
20b
17
20a
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【図１６】

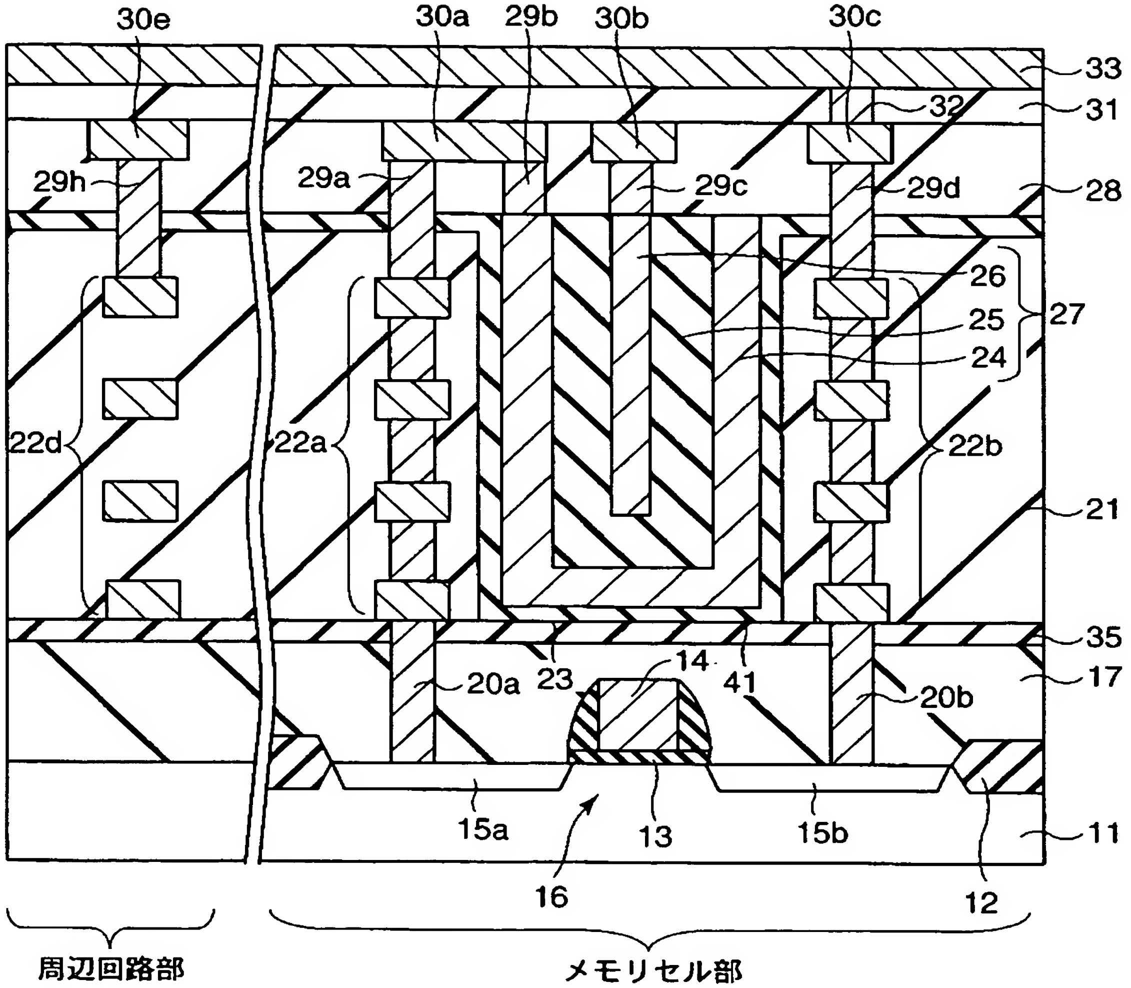

40
30e
30a
29c
30b
40b
40a
29h
29a
29b
28
26
25
27
24
22d
22a
40
21
23
14
19
17
20
18
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【図１７】

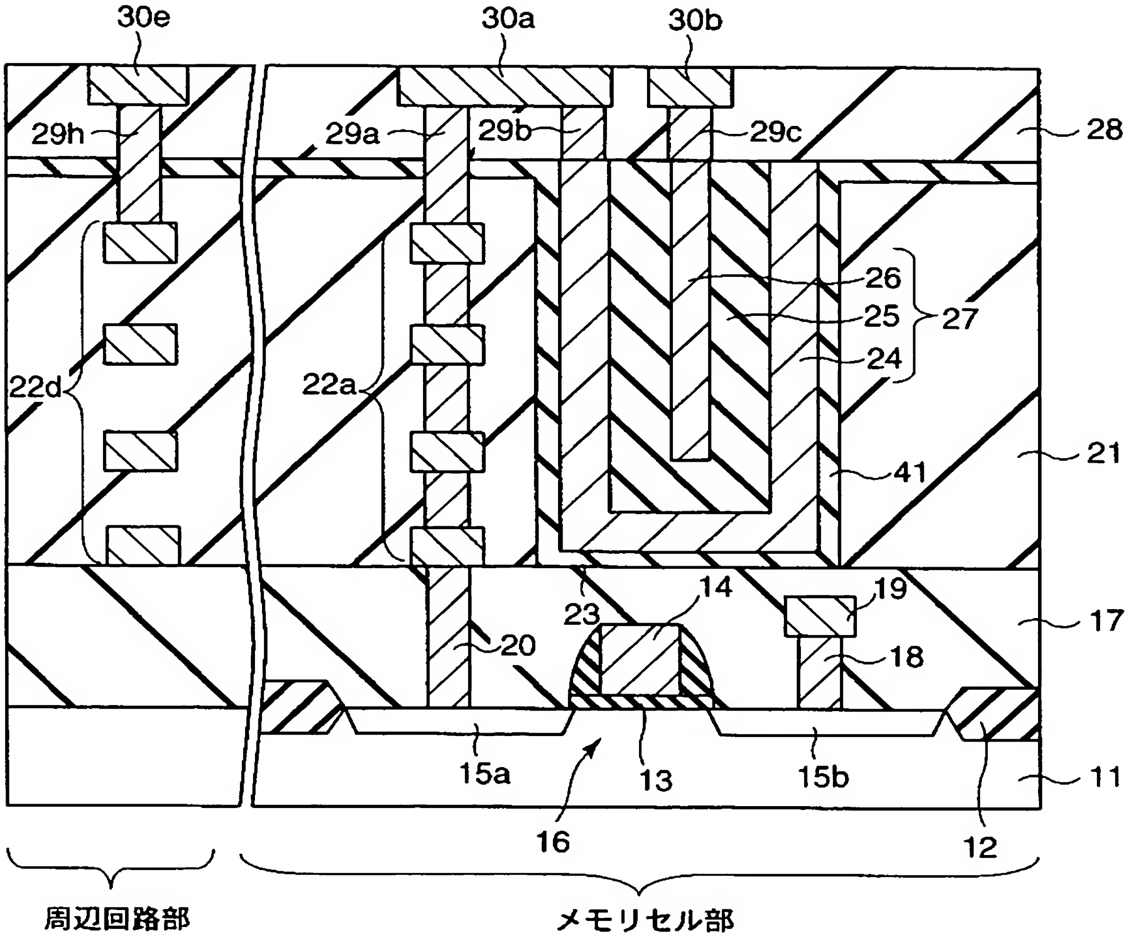


30e
30a
29b
30b
30c
33
32
31
29h
29a
29c
29d
28
26
25
27
24
22d
22a
22b
21
14
23
41
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

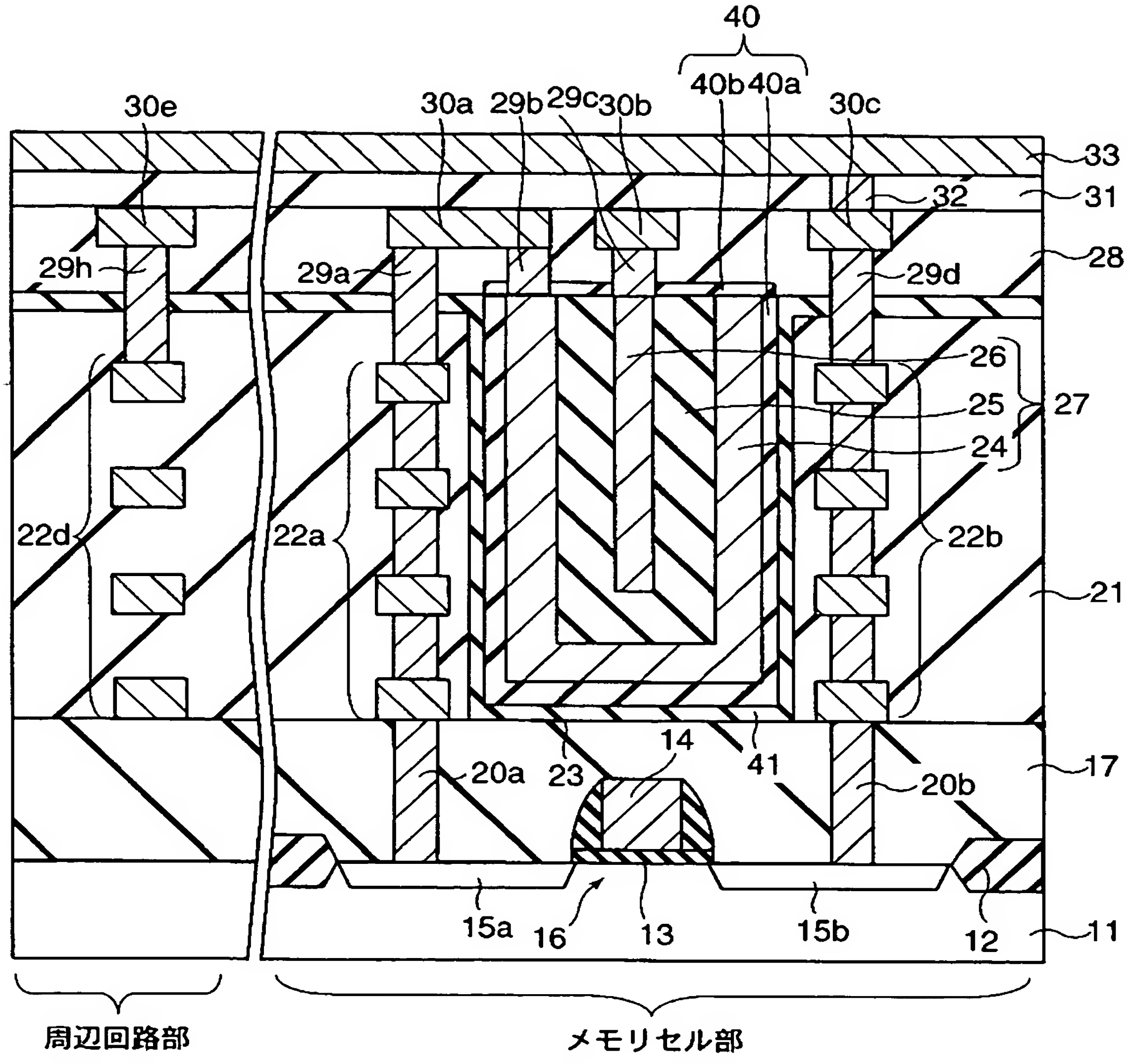
【図１８】


30e
30a
29b
30b
30c
33
32
31
29h
29a
29c
29d
28
26
25
24
27
22d
22a
22b
21
35
23
14
41
17
20a
20b
15a
13
15b
11
16
12
周辺回路部
メモリセル部

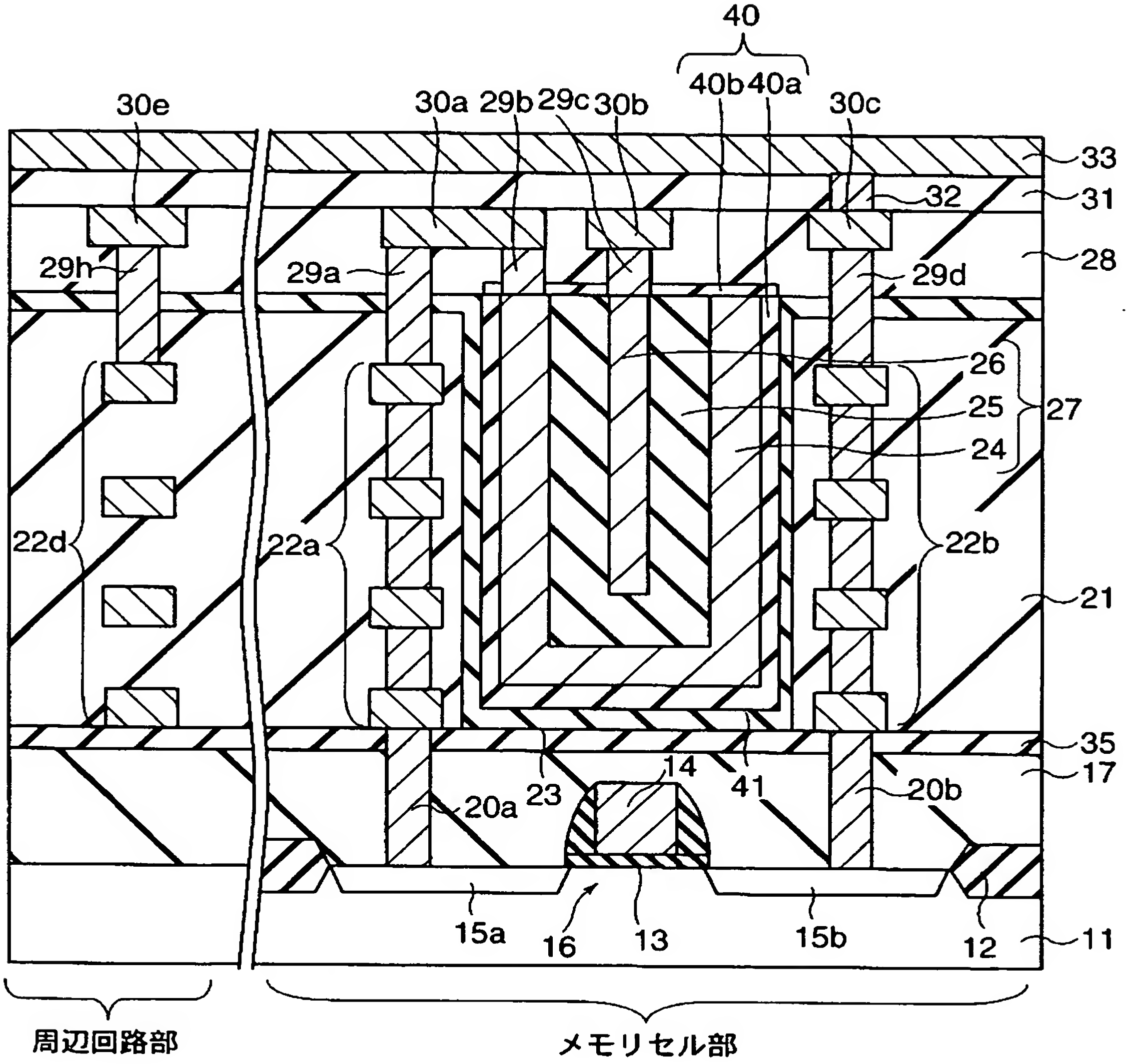
【図１９】


30e
30a
30b
29h
29a
29b
29c
28
26
25
27
24
22d
22a
21
41
23
14
19
17
20
18
15a
13
15b
11
16
12
周辺回路部
メモリセル部

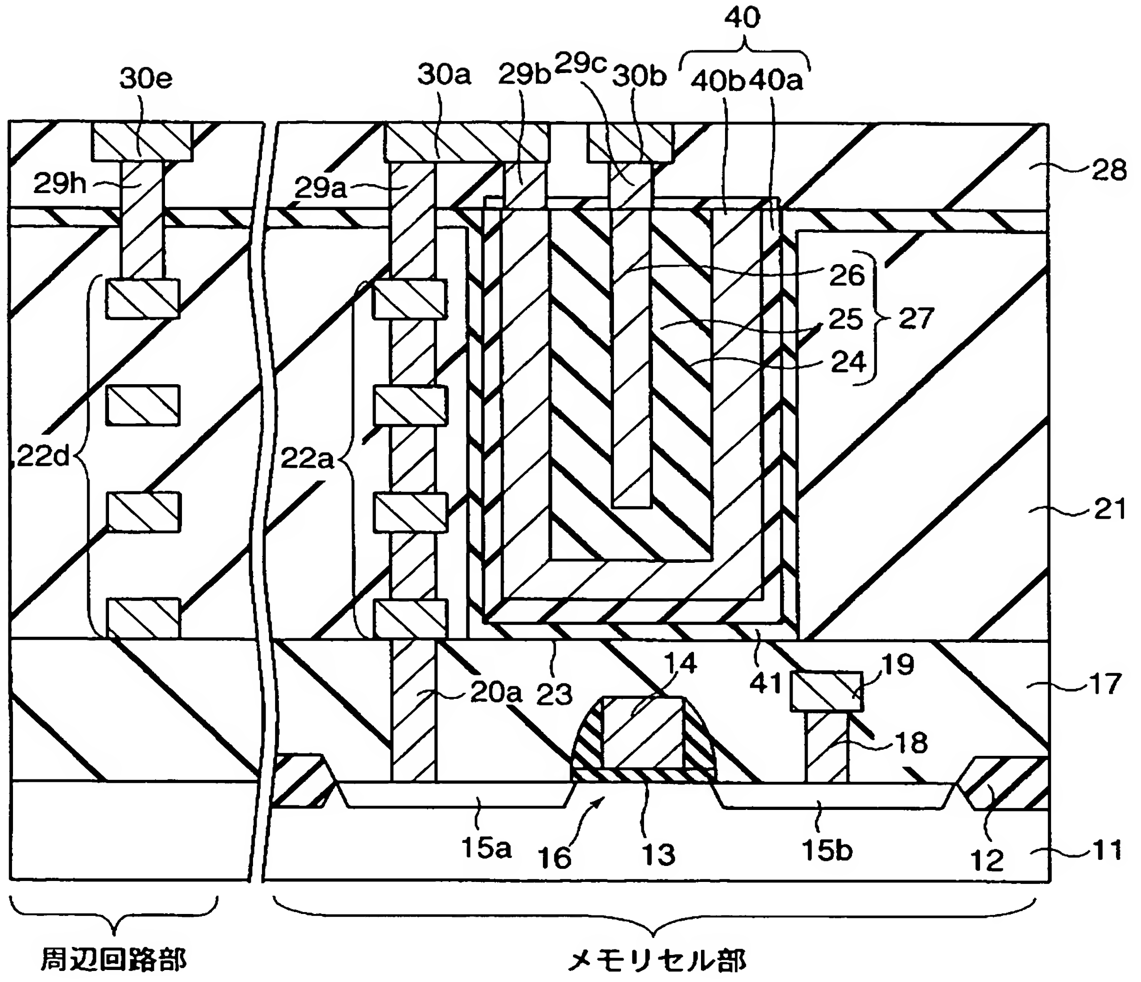
【図２０】


40
40b 40a
30e
30a 29b 29c 30b
30c
33
32
31
28
29h
29a
29d
26
25
27
24
22d
22a
22b
21
14
41
17
20a
23
20b
15a
16
13
15b
12
11
周辺回路部
メモリセル部

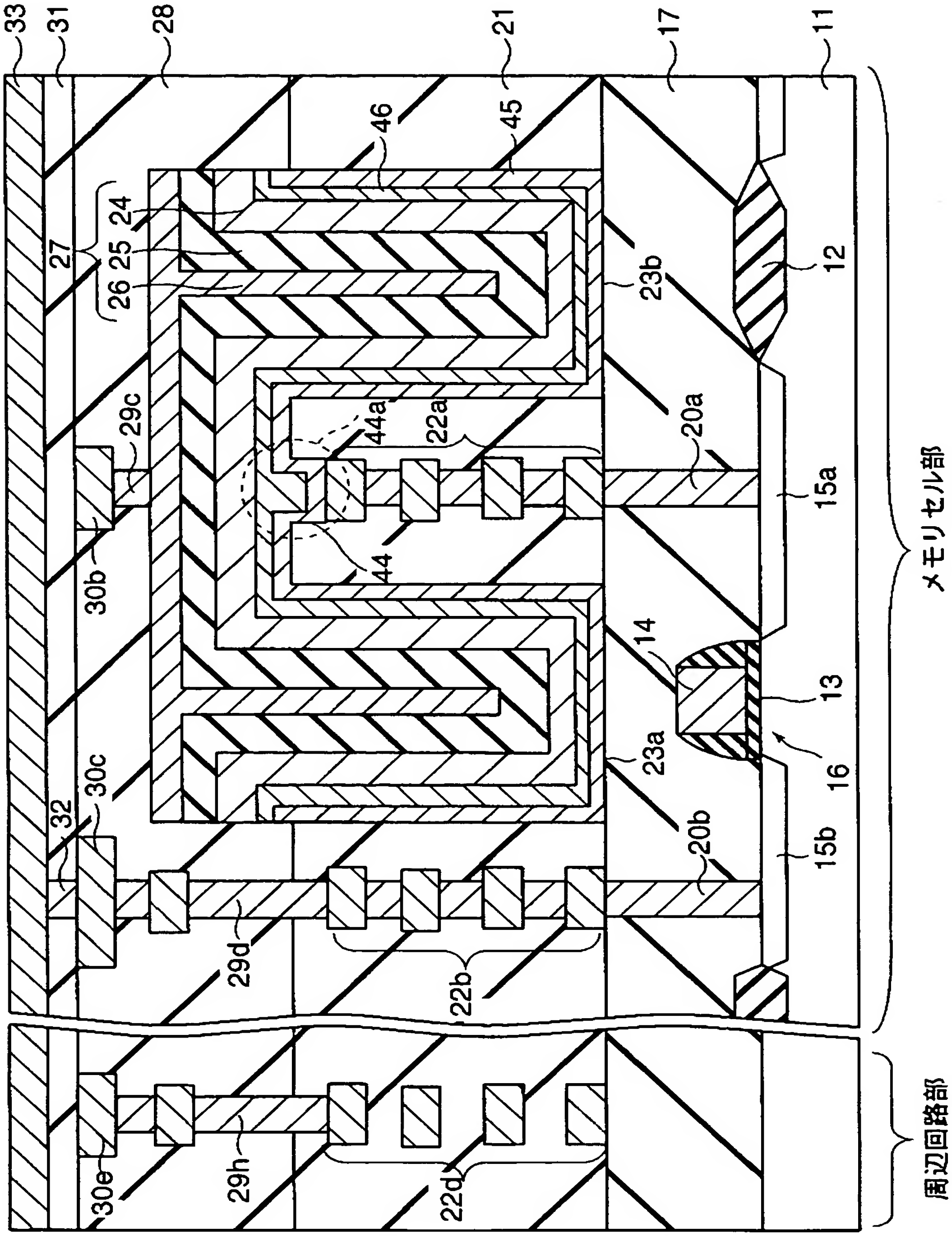
【図２１】


40
40b
40a
30e
30a
29b
29c
30b
30c
33
32
31
29h
29a
29d
28
26
25
27
24
22d
22a
22b
21
35
14
41
17
20a
23
20b
15a
16
13
15b
12
11
周辺回路部
メモリセル部

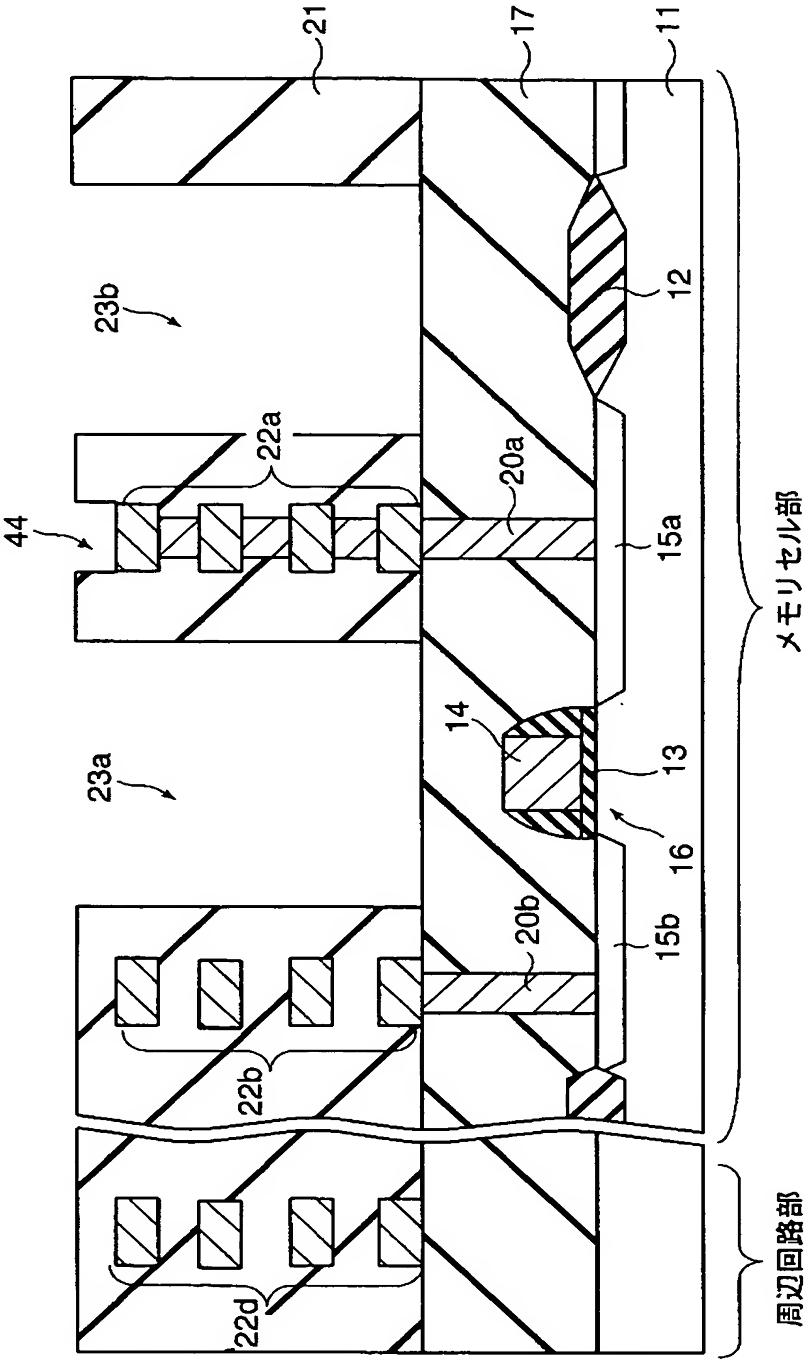
【図２２】


40
30e
30a
29b
29c
30b
40b
40a
28
29h
29a
26
25
27
24
22d
22a
21
20a
23
14
41
19
17
18
15a
16
13
15b
12
11
周辺回路部
メモリセル部

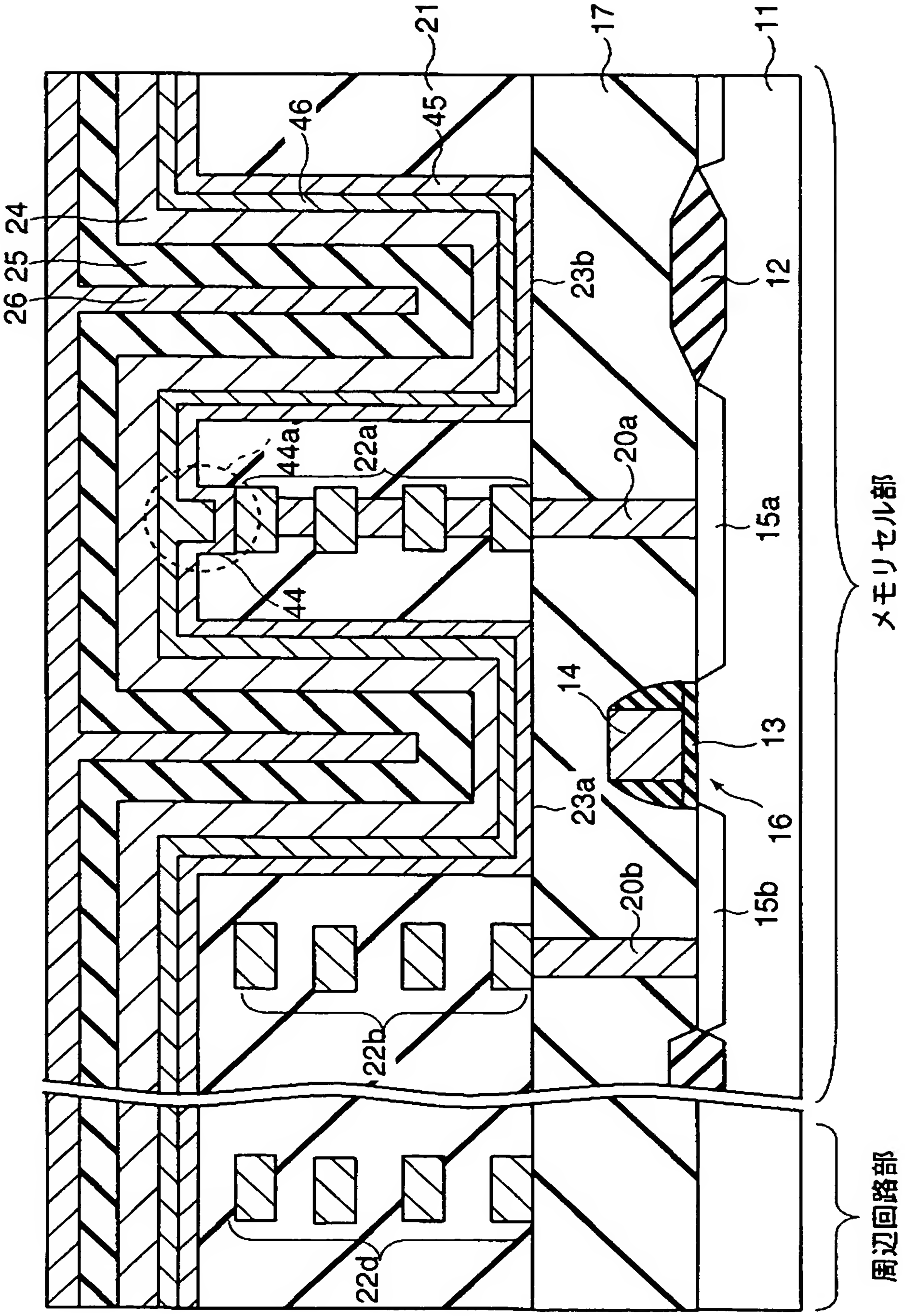
【図２３】


33
31
28
21
17
11
46
45
24
25
26
27
23b
12
29c
44a
22a
20a
30b
44
15a
メモリセル部
14
13
16
23a
30c
32
20b
15b
29d
22b
30e
29h
22d
周辺回路部

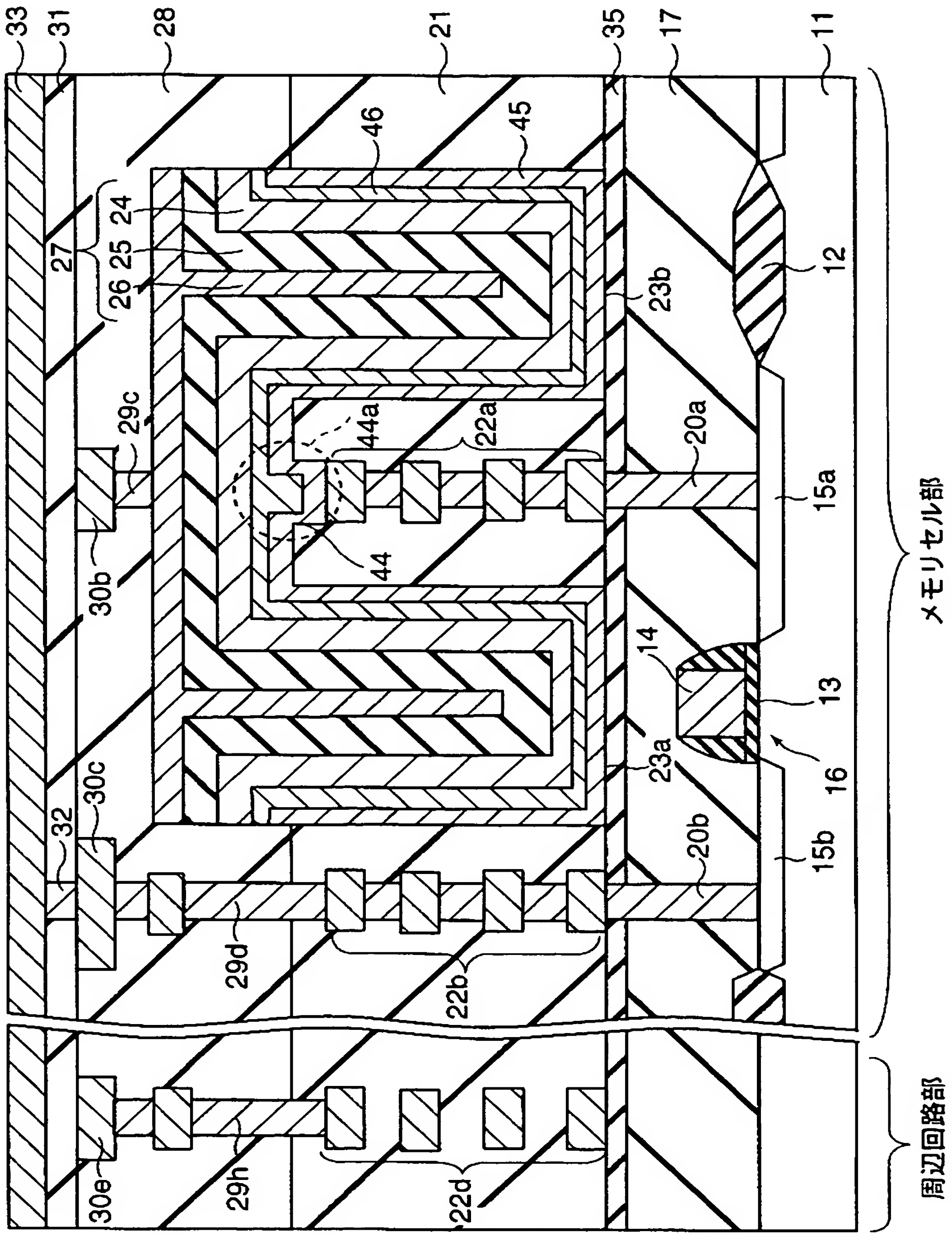
【図２４】


21
17
11
12
23b
22a
20a
44
15a
メモリセル部
14
13
23a
16
20b
15b
22b
22d
周辺回路部

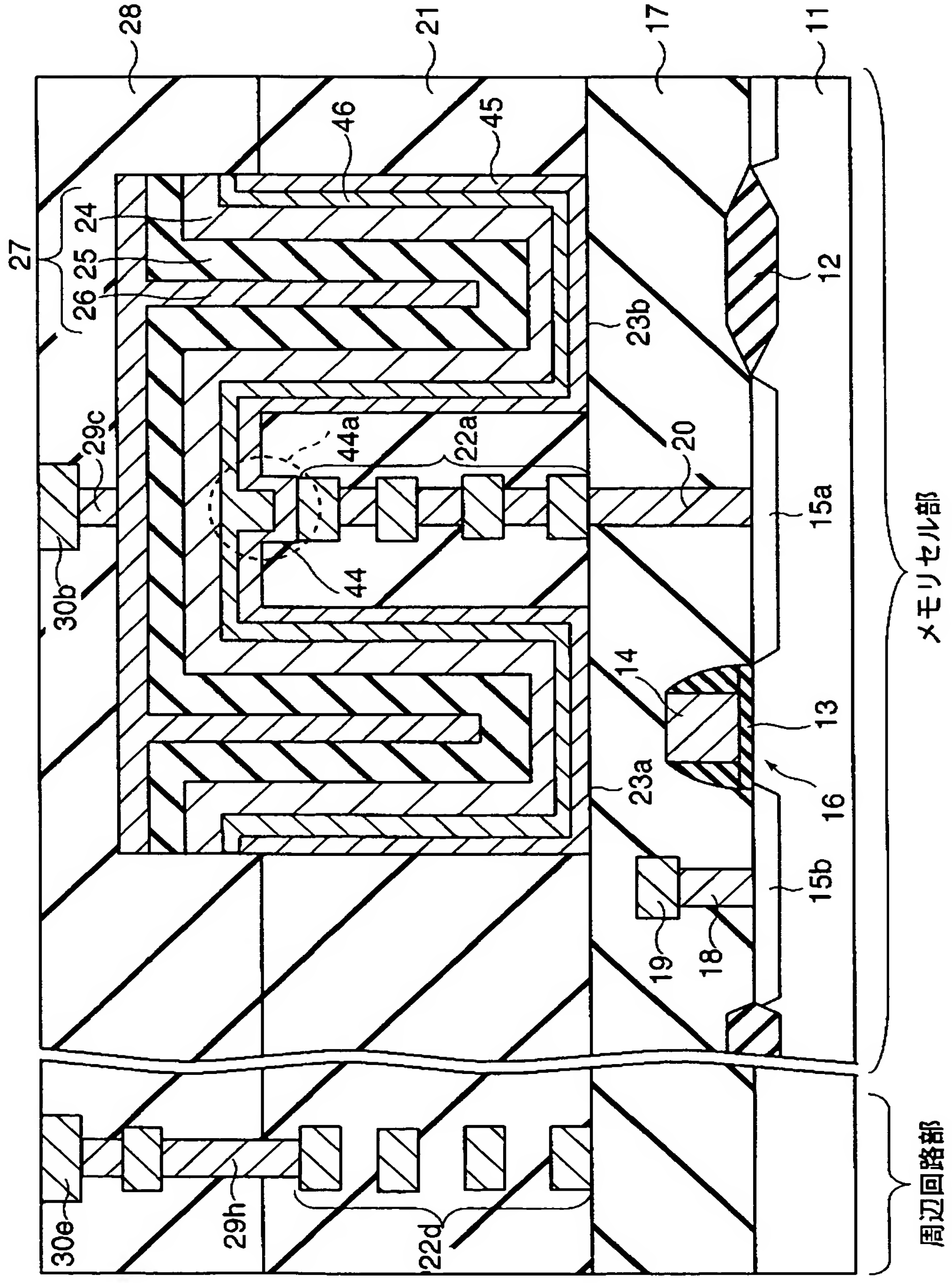
【図２５】


21
17
11
46
45
26 25 24
23b
12
44a
22a
20a
15a
44
メモリセル部
14
13
23a
16
20b
15b
22b
22d
周辺回路部

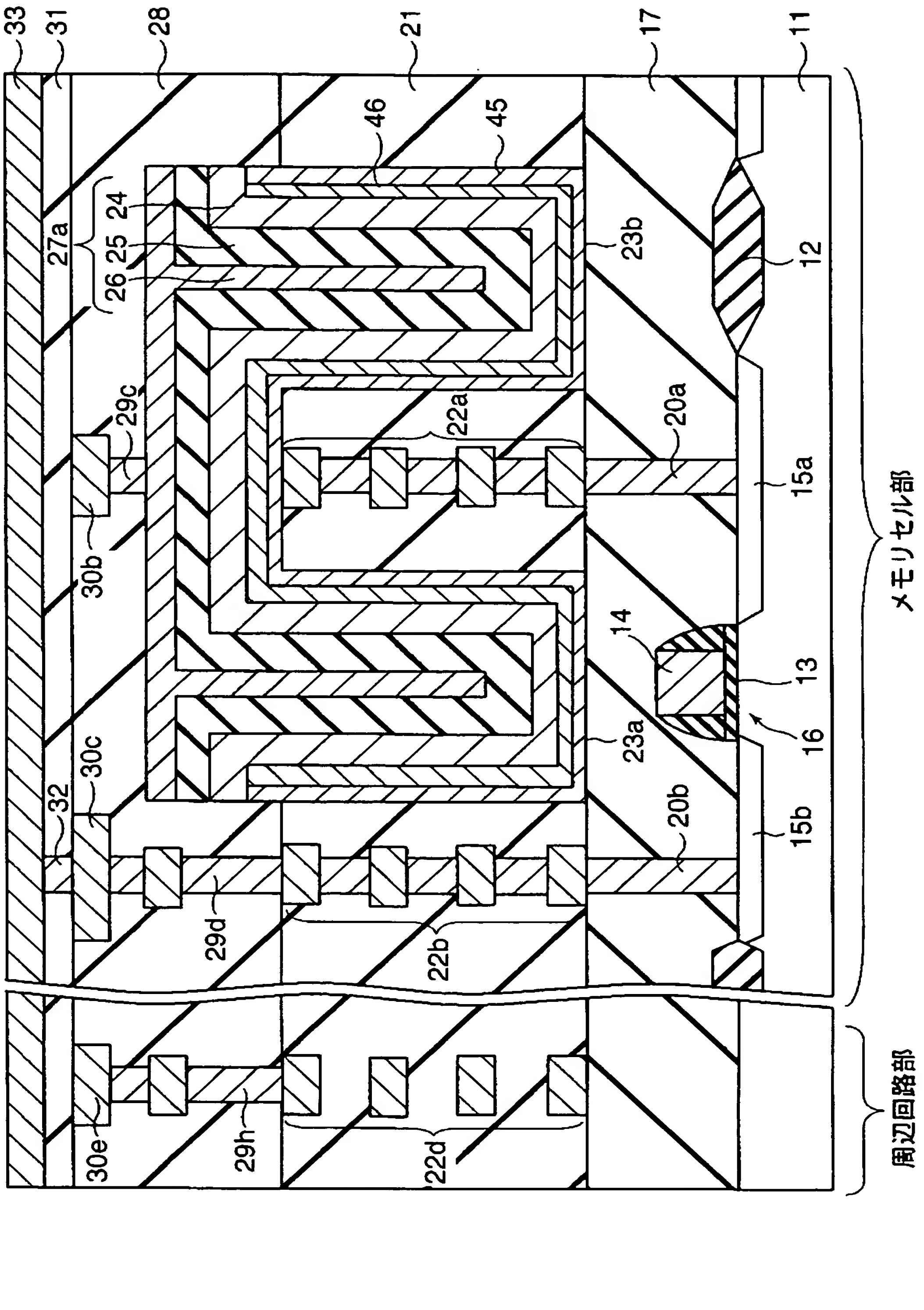
【図２６】


33
31
28
21
35
17
11
46
45
24
25
26
27
12
23b
29c
44a
22a
20a
15a
30b
44
14
13
16
23a
30c
32
20b
15b
29d
22b
30e
29h
22d
メモリセル部
周辺回路部

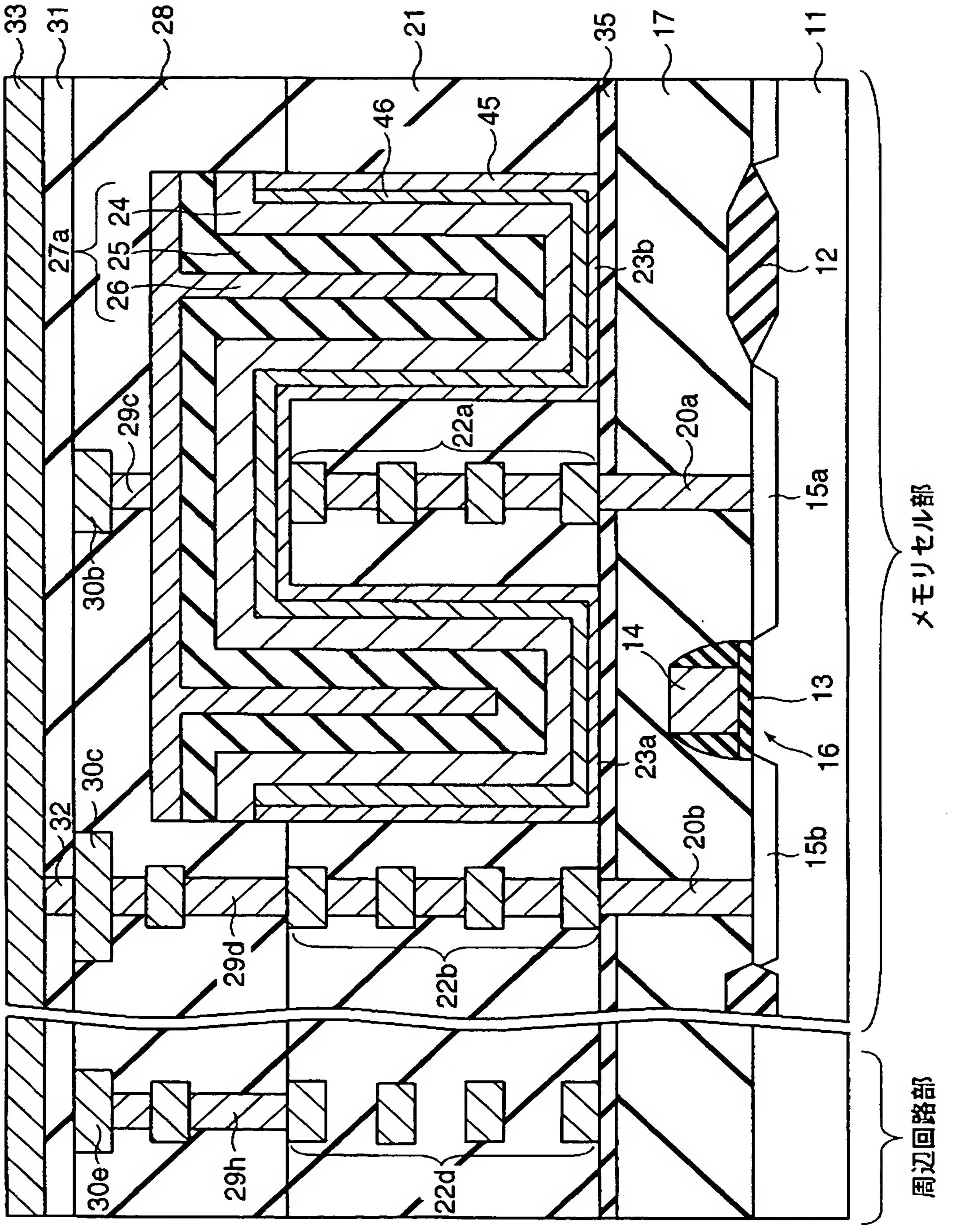
【図２７】


28
21
17
11
46
45
27
24
25
26
23b
12
29c
44a
22a
20
15a
30b
44
メモリセル部
14
13
23a
16
15b
19
18
30e
29h
22d
周辺回路部

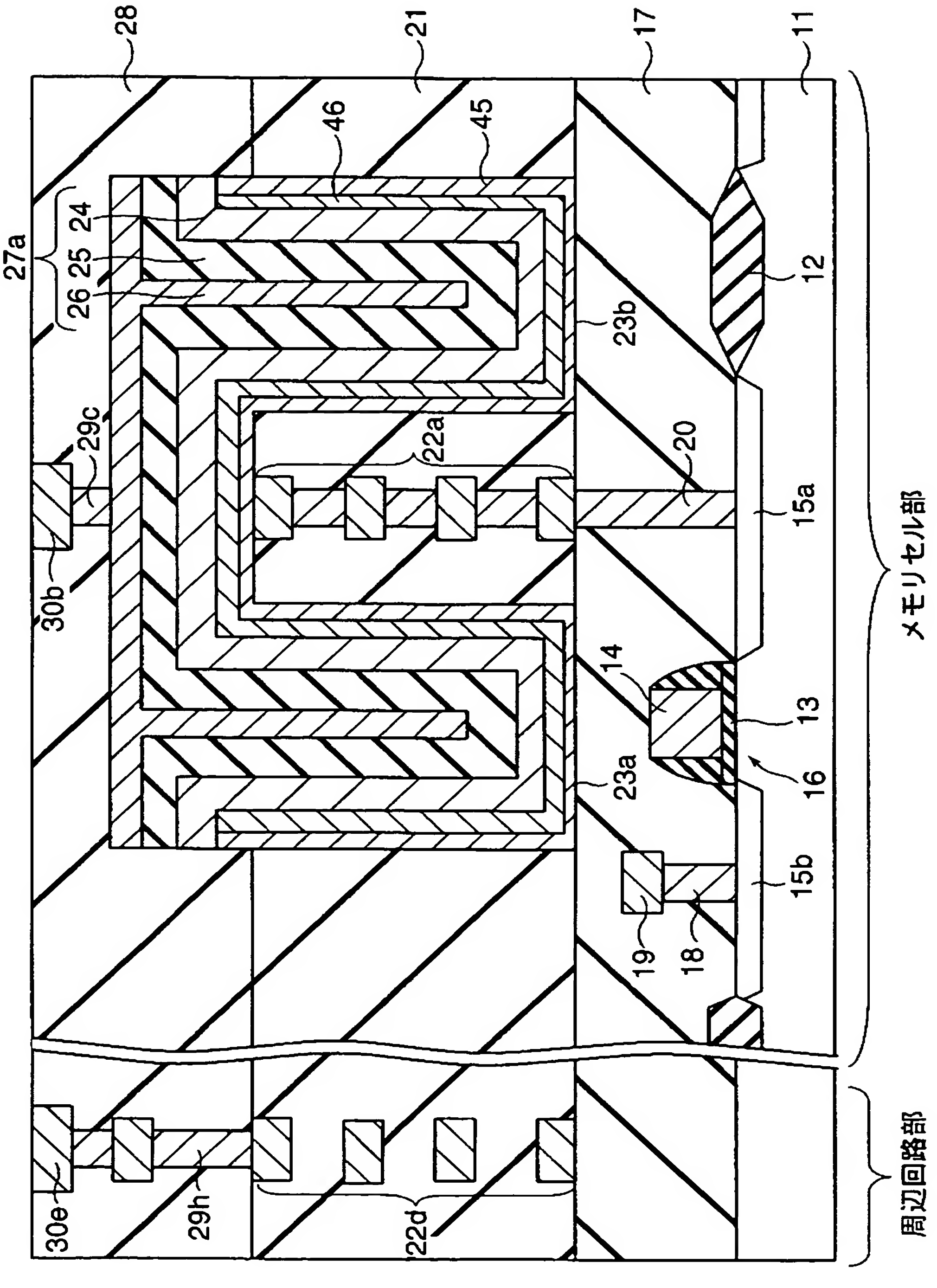
【図２８】


33
31
28
21
17
11
46
45
24
25
26
27a
23b
12
29c
22a
20a
15a
30b
メモリセル部
14
13
16
23a
30c
32
20b
15b
29d
22b
30e
29h
22d
周辺回路部

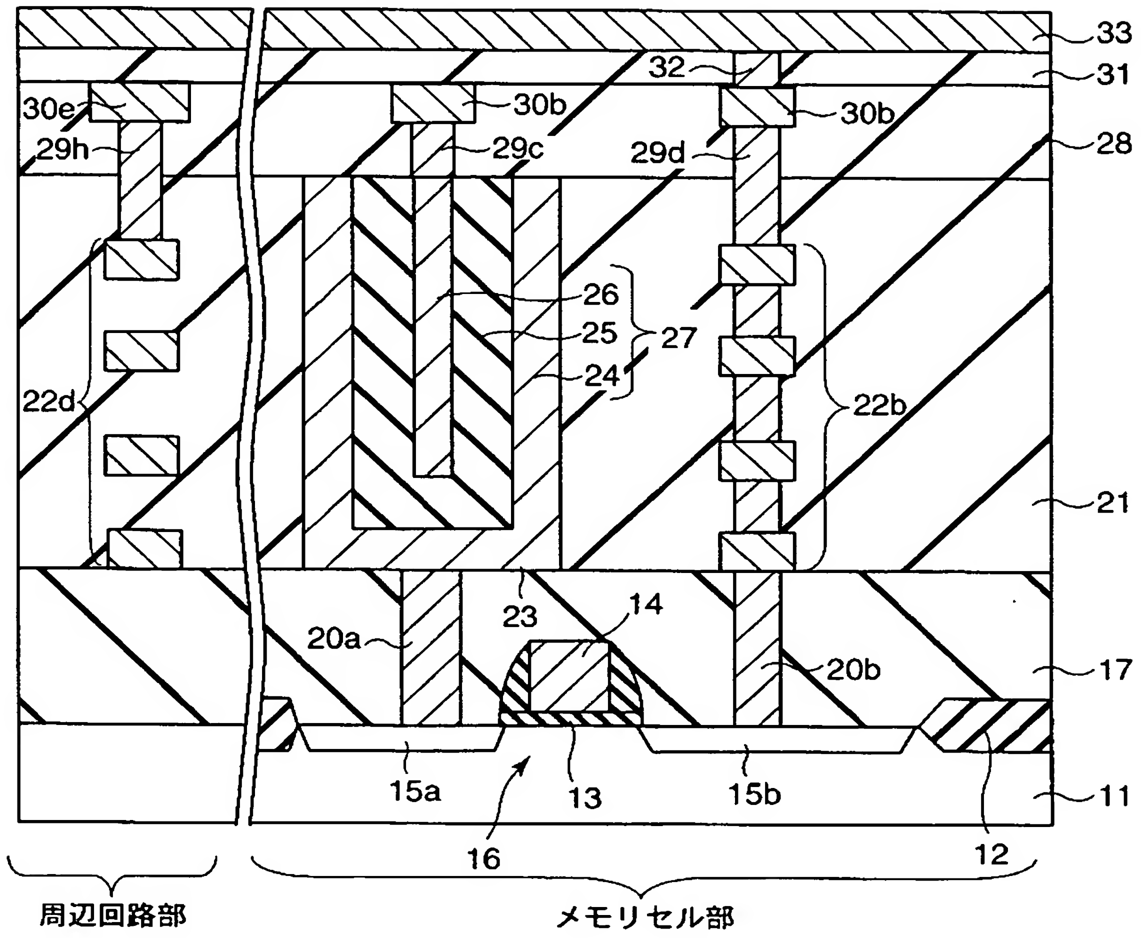
【図２９】


33
31
28
21
35
17
11
46
45
27a
24
25
26
23b
12
29c
22a
20a
15a
30b
14
13
16
23a
30c
32
20b
15b
29d
22b
30e
29h
22d
メモリセル部
周辺回路部

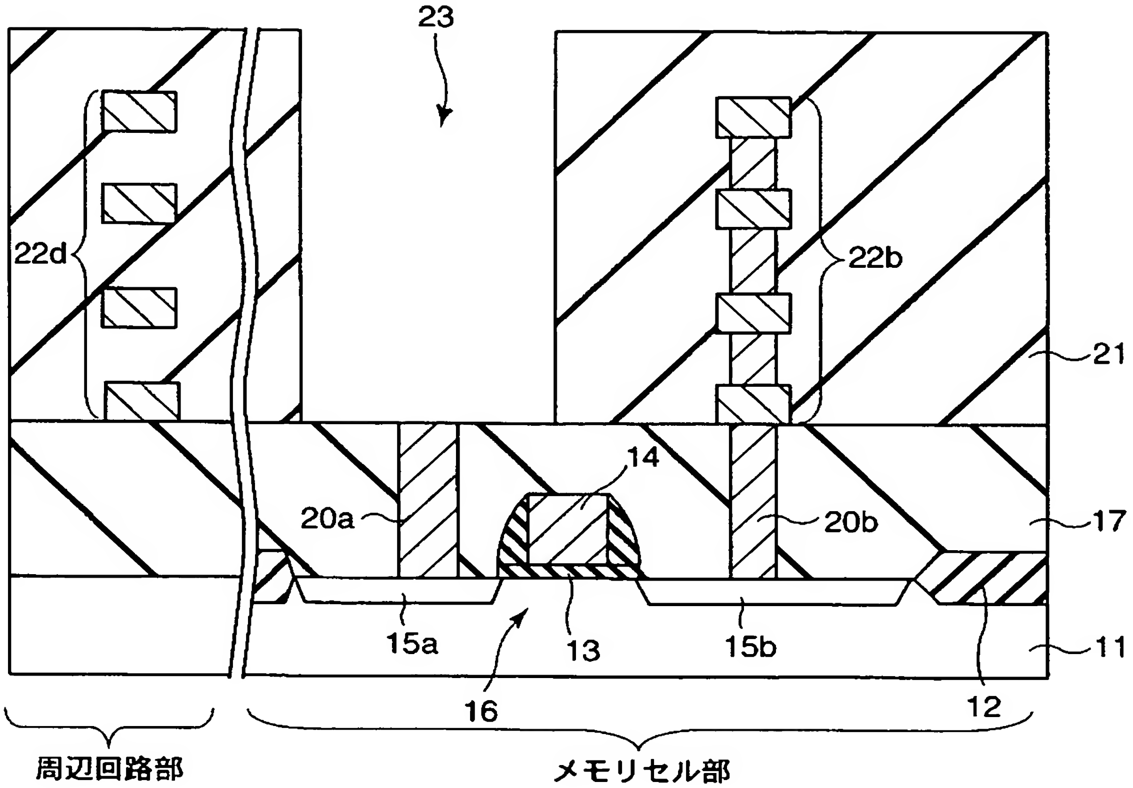
【図３０】


28
21
17
11
46
45
24
27a
25
26
12
23b
29c
22a
20
15a
30b
メモリセル部
14
13
23a
16
15b
19
18
30e
29h
22d
周辺回路部

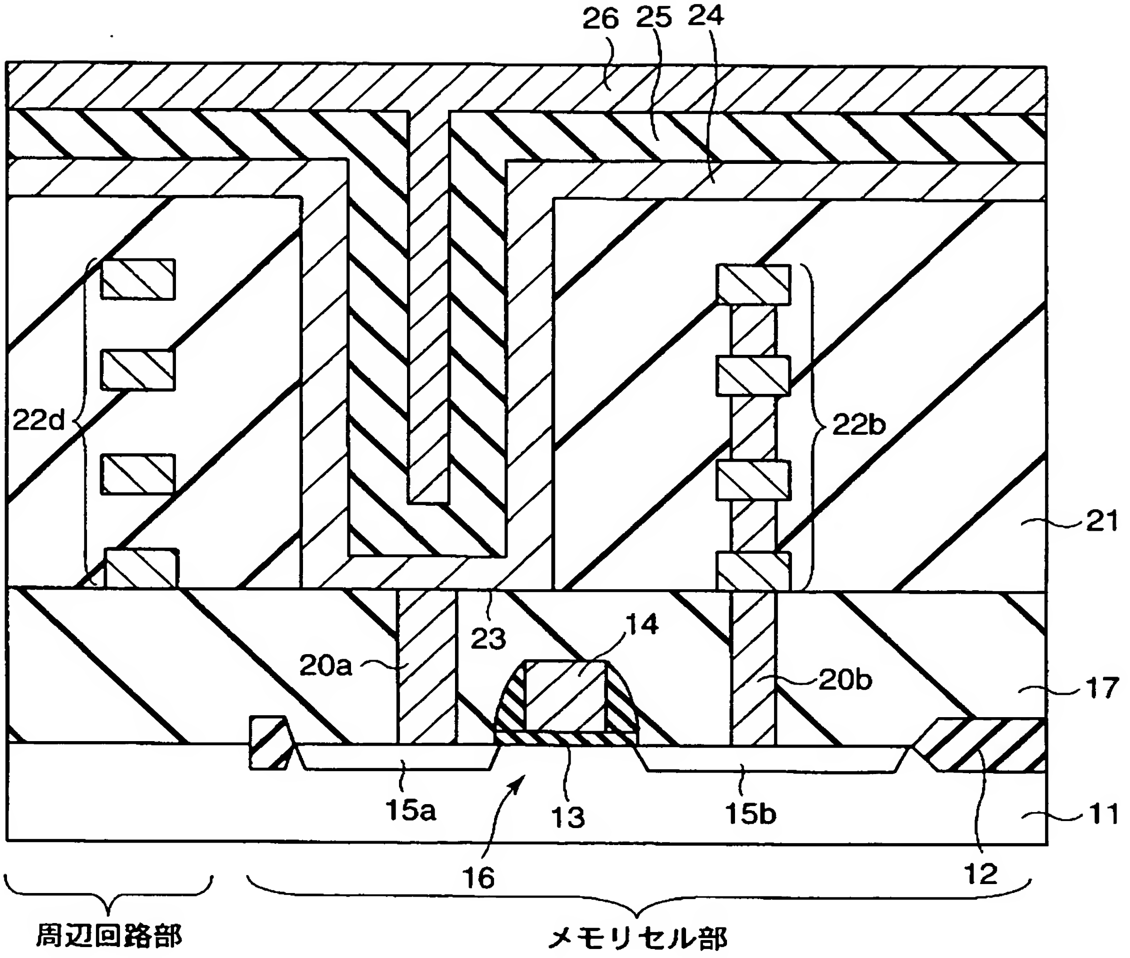
【図３１】


33
32
31
30e
30b
30b
29h
29c
29d
28
26
25
27
24
22d
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

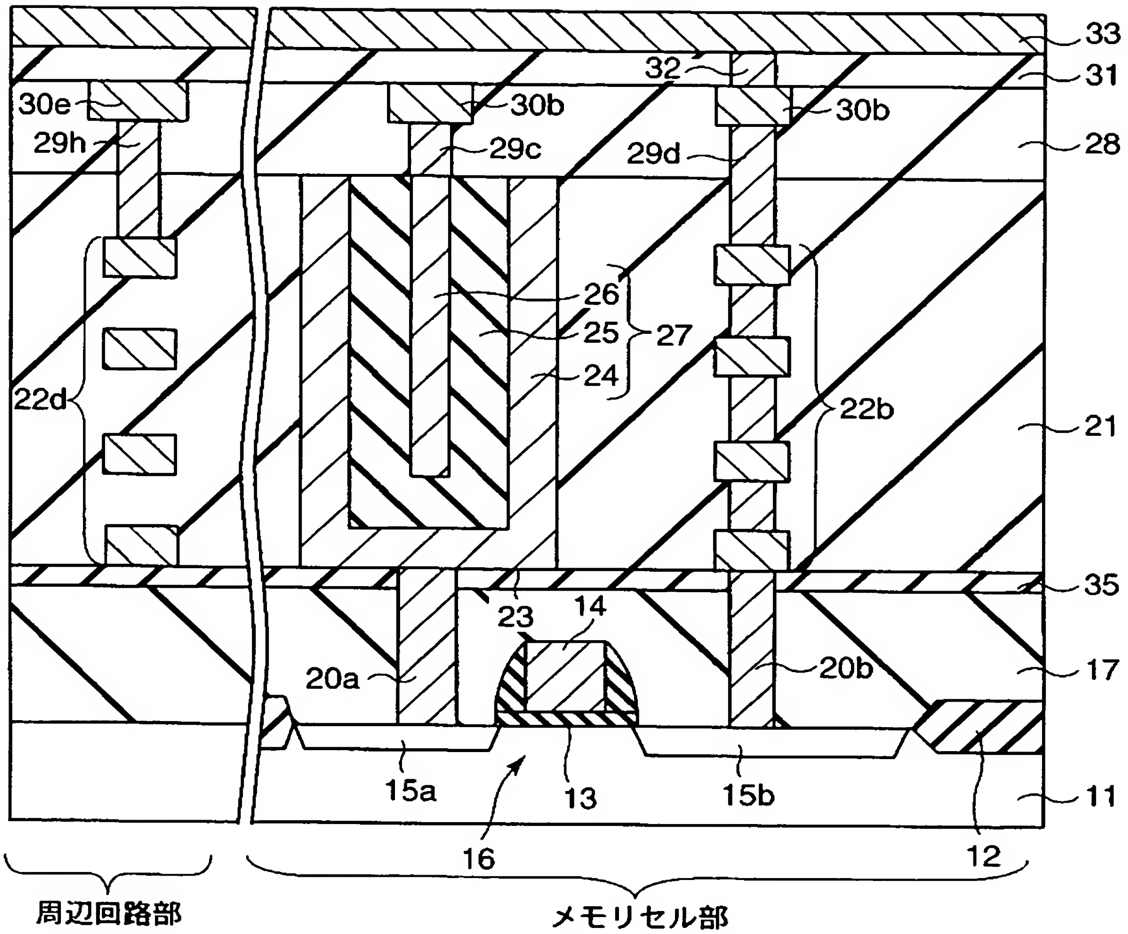
【図３２】



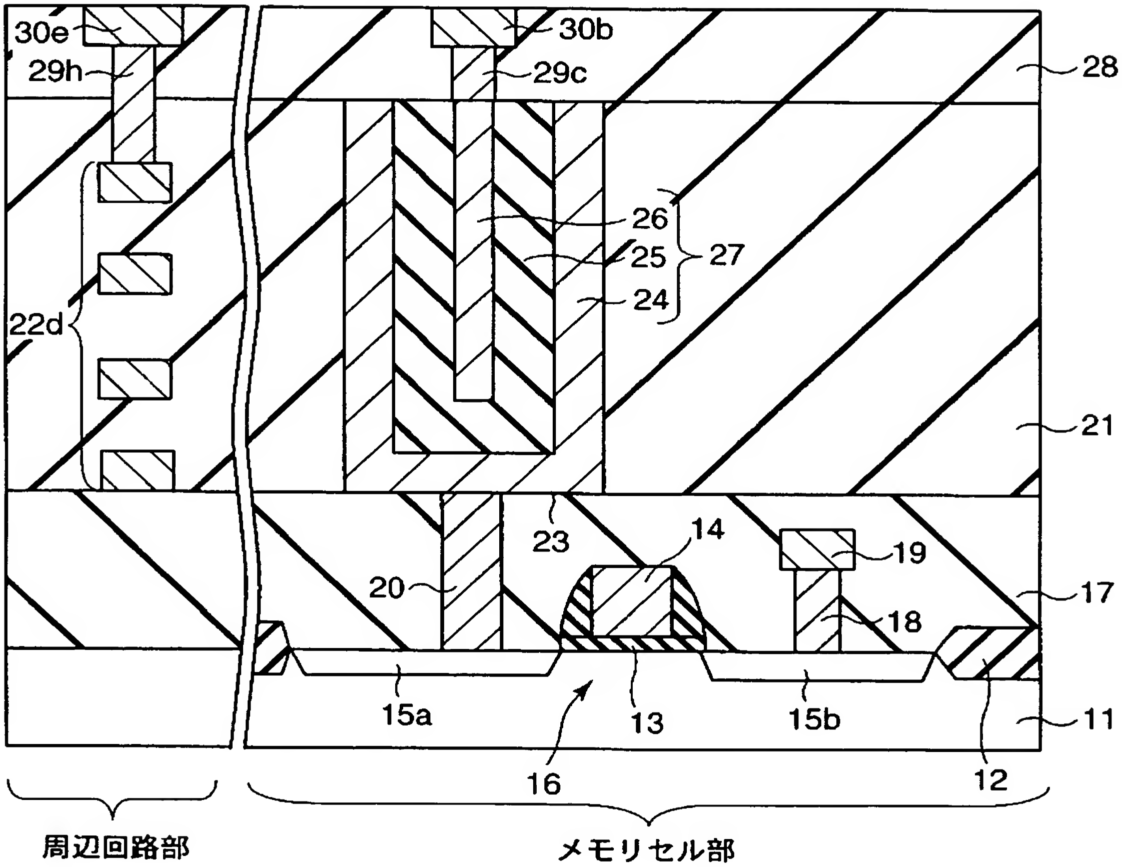
【図３３】


26 25 24
22d
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

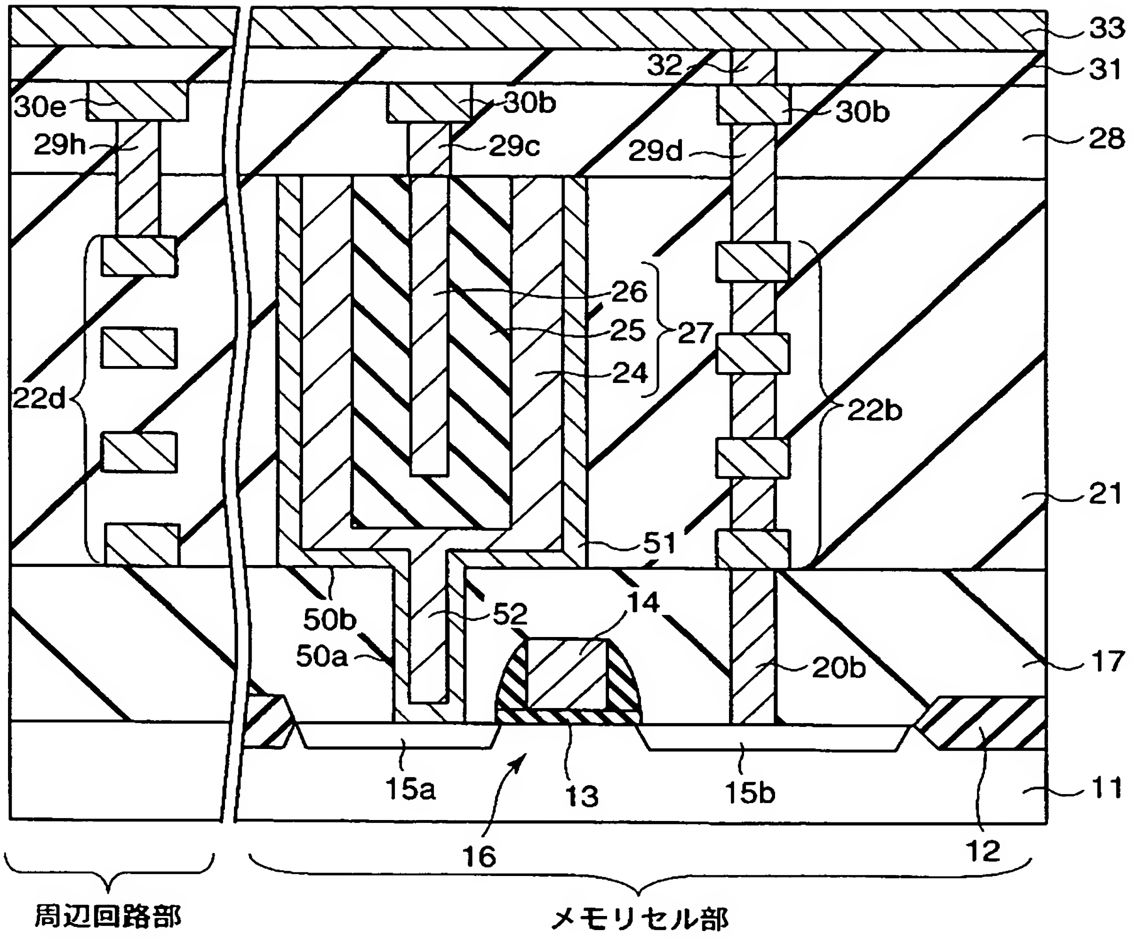
【図３４】


33
31
32
30e
30b
30b
29h
29c
29d
28
26
25
27
24
22d
22b
21
35
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

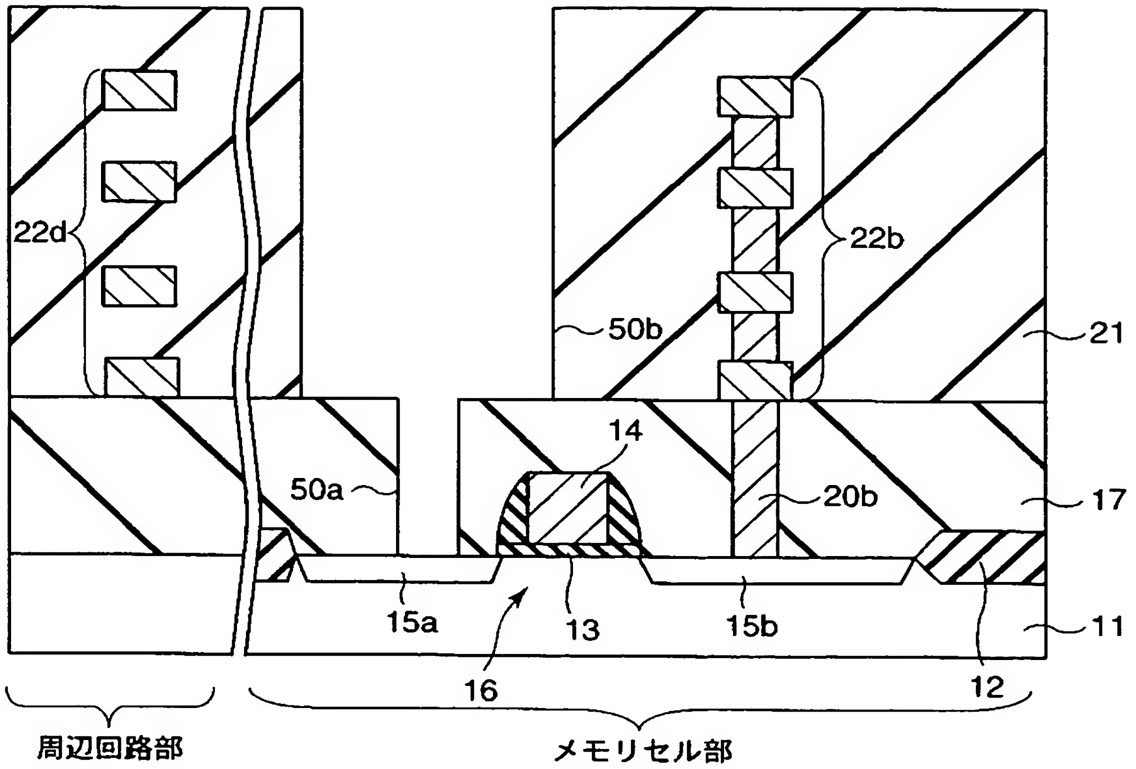
【図３５】


30e
29h
30b
29c
28
26
25
27
24
22d
21
23
14
19
20
17
18
15a
13
15b
11
16
12
周辺回路部
メモリセル部

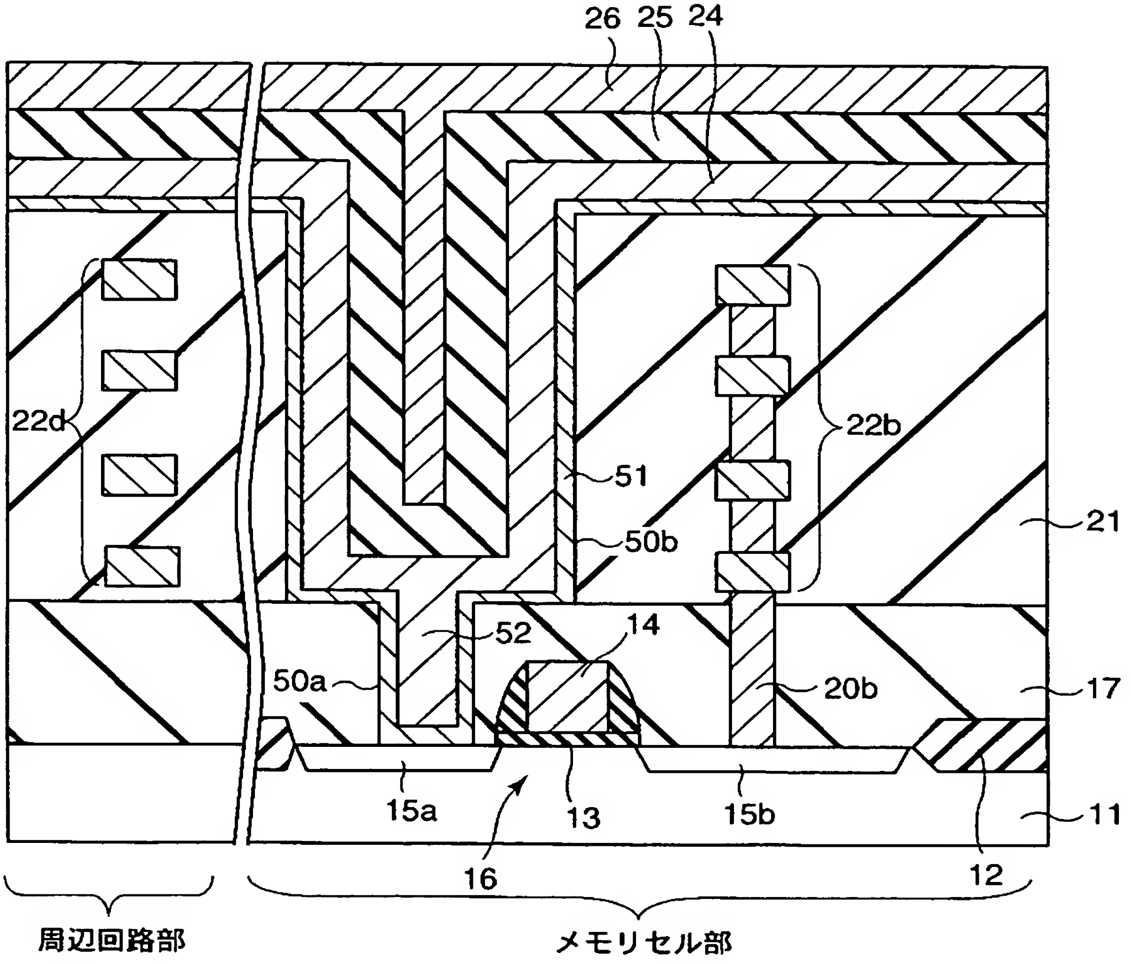
【図３６】


33
32
31
30e
30b
30b
28
29h
29c
29d
26
25
27
24
22d
22b
21
51
50b
52
14
50a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

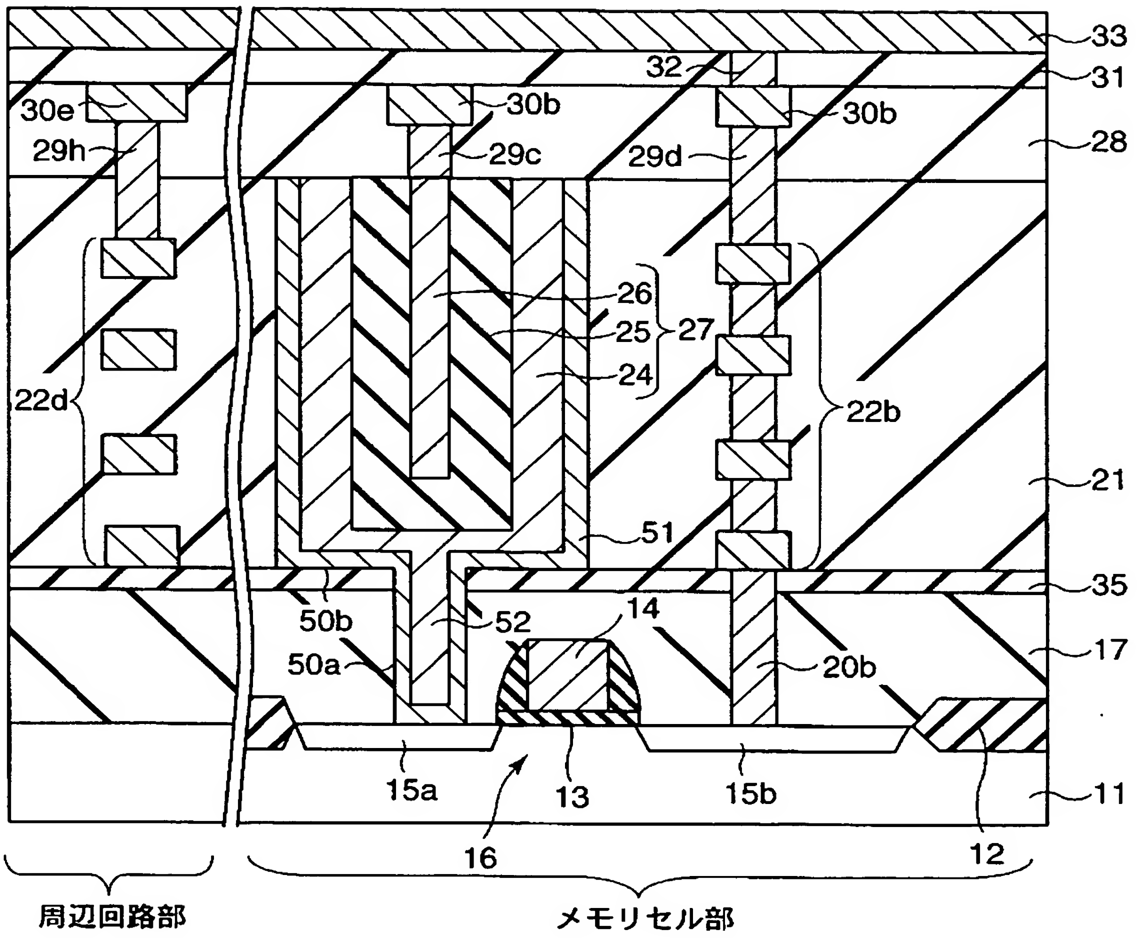
【図３７】



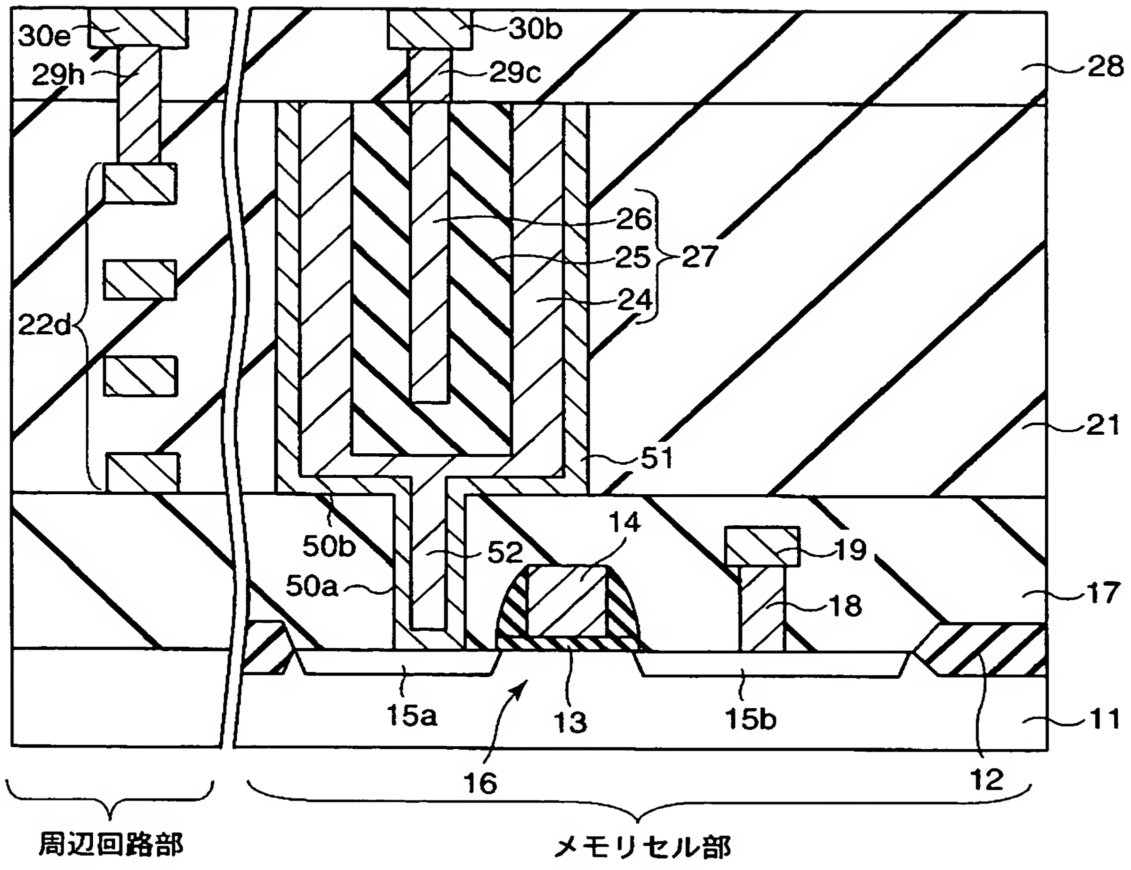
【図３８】


26
25
24
22d
22b
51
50b
21
52
14
50a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

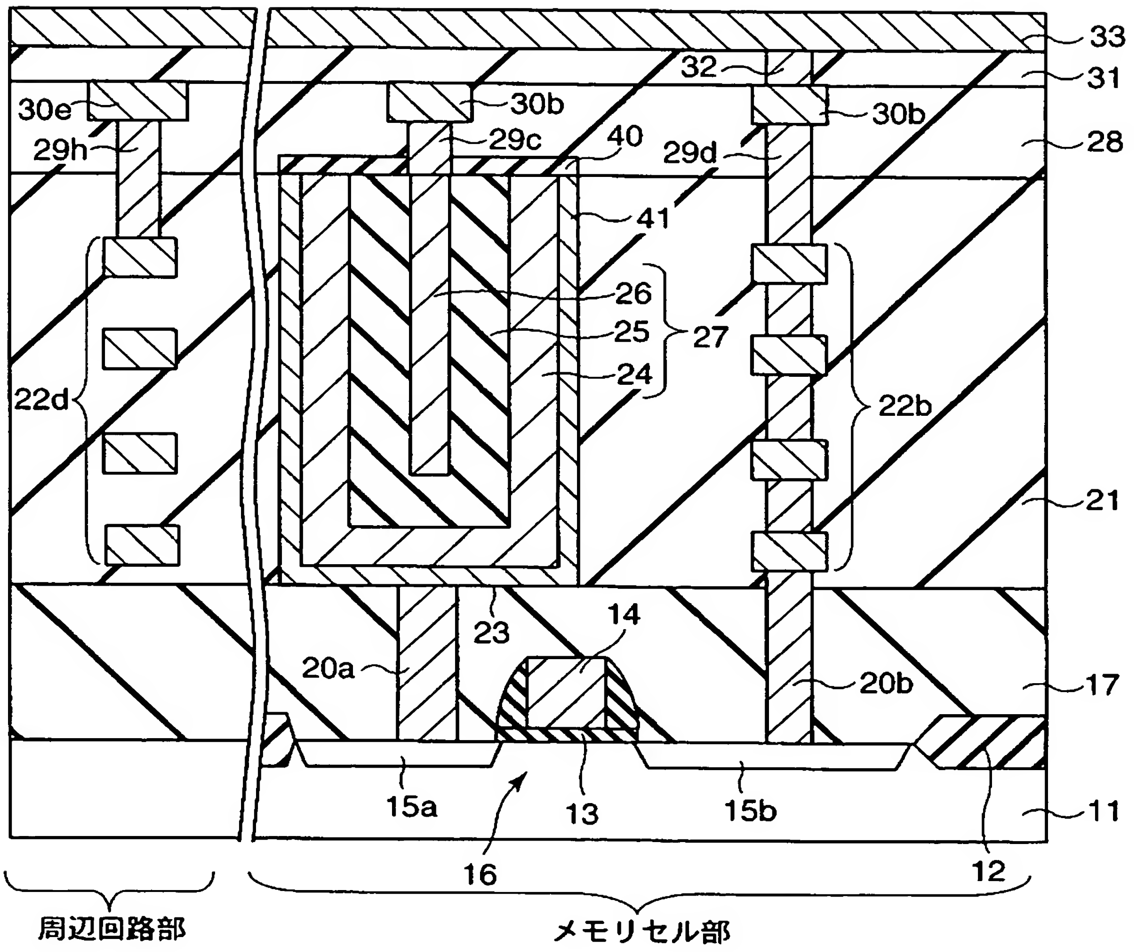
【図３９】


33
31
32
30e
30b
30b
28
29h
29c
29d
26
25
27
24
22d
22b
21
51
35
50b
52
14
17
50a
20b
15a
13
15b
11
16
12
周辺回路部
メモリセル部

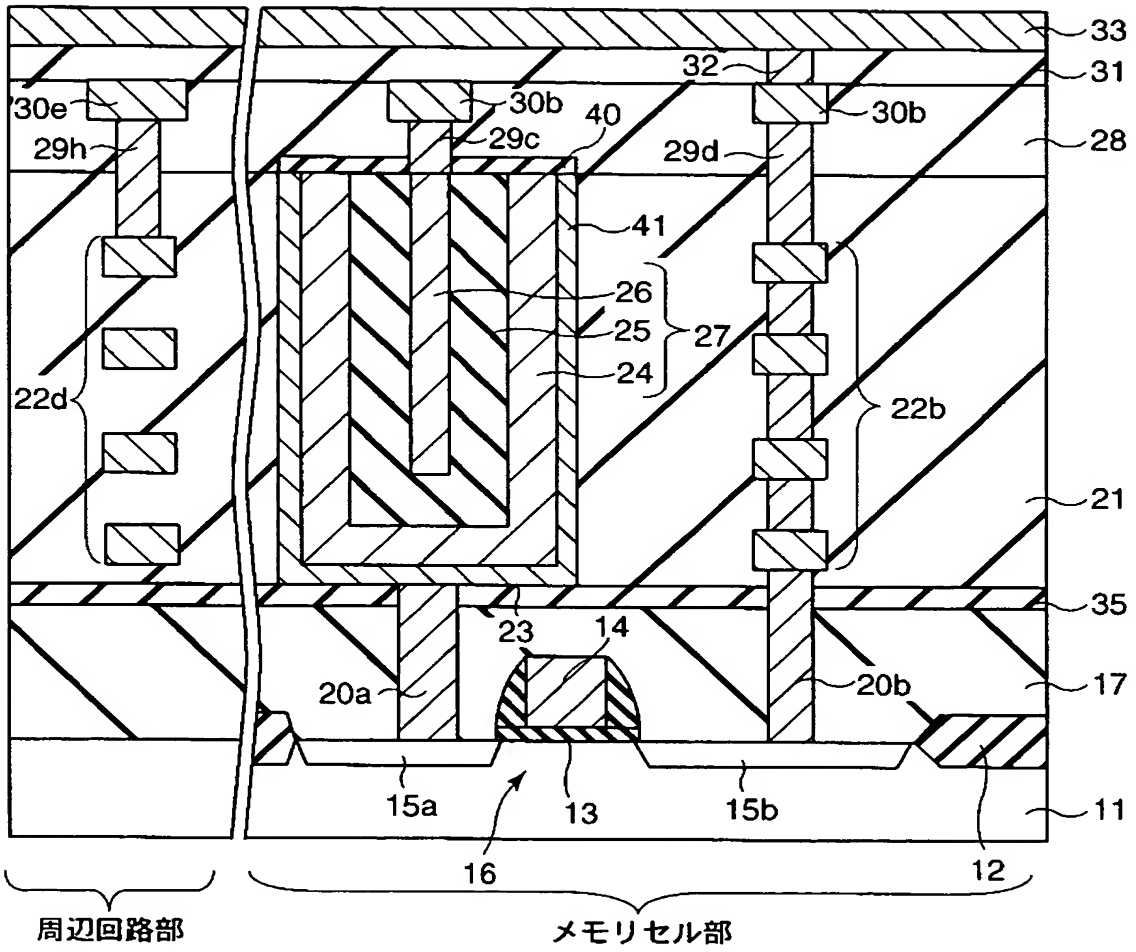
【図４０】


30e
29h
22d
30b
29c
28
26
25
27
24
21
51
50b
52
14
19
50a
18
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【図４１】

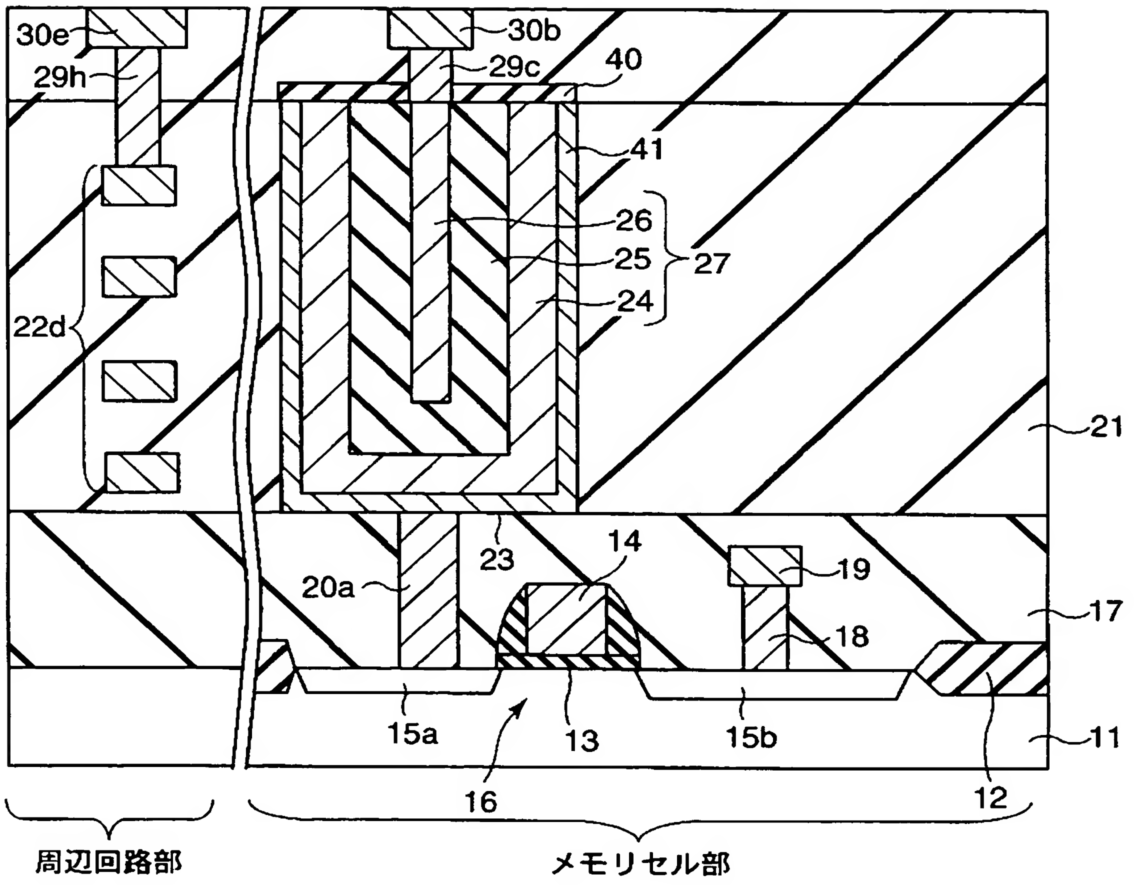

33
32
31
30e
30b
30b
28
29h
29c
40
29d
41
26
25
27
24
22d
22b
21
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【図４２】



33
32
31
30e
30b
40
30b
28
29h
29c
29d
41
26
25
27
24
22d
22b
21
35
23
14
20a
20b
17
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【図４３】


30e
29h
22d
30b
29c
40
41
26
25
24
27
21
23
14
19
20a
17
18
15a
13
15b
11
16
12
周辺回路部
メモリセル部

【書類名】　要約書

【要約】

【課題】　３次元キャパシタを用いた場合のセルの拡大を抑制する。

【解決手段】　半導体記憶装置は、半導体基板１１上に形成され、ゲート電極１４と第１及び第２の拡散層１５ａ，１５ｂとを有するトランジスタ１６と、このトランジスタ１６上に形成された第１の絶縁膜１７，２１と、第１の絶縁膜２１内に形成された第１の多層配線層部２２ａと、この第１の多層配線層部２２ａ内の少なくとも２層の配線層を含む第１の絶縁膜２１内を垂直方向に連続的に貫いて形成され、ゲート電極１４と少なくとも一部が重なるように設けられた第１の凹部２３と、この第１の凹部内に３次元的に形成され、第１及び第２の電極２４，２６と強誘電体膜２５とを有し、第１の電極１４が第１の拡散層１５ａと電気的に接続された強誘電体キャパシタ２７とを具備する。

【選択図】　図１

特願２００３－２０２５３６

出　願　人　履　歴　情　報

識別番号　　　　　　　［０００００３０７８］

１．変更年月日　　　２００１年　７月　２日

［変更理由］　　　住所変更

住　所　　　東京都港区芝浦一丁目１番１号

氏　名　　　株式会社東芝